

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

ՀԵՔԻՄՅԱՆ ԱՐՍԵՆ ՌՈԲԵՐՏԻ

**ՆԱԼՈՄԵՏՐԱԿԱՆ ՀՈՍՔԱԳԾԱՅԻՆ ԱՆԱԼՈԳԱ-ԹՎԱՅԻՆ
ԿԵՐՊԱՓՈԽԻՉՆԵՐԻ ԱՎՏՈՄԱՏԱՑՎԱԾ ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ
ՄՇԱԿՈՒՄԸ և ՀԵՏԱԶՈՏՈՒՄԸ**

Ե.13.02 – «Ավտոմատացման համակարգեր» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2018

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ
НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

ЭКИМЯН АРСЕН РОБЕРТОВИЧ

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА СРЕДСТВ
АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ НАНОМЕТРОВЫХ
КОНВЕЙЕРНЫХ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.13.02 –
“Системы автоматизации”

Ереван 2018

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային
պոլիտեխնիկական համալսարանում:

Գիտական ղեկավար՝

տ.գ.դ. Ա.Վ. Գավրիլով

Պաշտոնական ընդդիմախոսներ՝

տ.գ.դ. Ա.Գ. Հարությունյան
տ.գ.թ. Ա.Ա. Գևորգյան

Առաջատար կազմակերպություն՝

Երևանի կապի միջոցների
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2018թ. նոյեմբերի 9-ին,
ժամը
14⁰⁰-ին, ՀԱՊՀ-ում գործող — «Կառավարման և ավտոմատացման» 032
Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17
մասնաշենք) :

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:
Սեղմագիրն առաքված 2018թ. հոկտեմբերի 6-ին:

032 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Ա.Վ. Մելիքյան

Тема диссертации утверждена в Национальном политехническом университете Армении

Научный руководитель:

д.т.н. С.В. Гаврилов

Официальные оппоненты:

д.т.н. А.Г. Арутюнян
к.т.н. А.А. Геворгян

Ведущая организация:

Ереванский научно-исследовательский
институт средств связи

Защита диссертации состоится 9-го ноября 2018 г. в 14⁰⁰ ч. на заседании
Специализированного совета 032 - “Управления и автоматизации”, действующего при
НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 6-го октября 2018 г.

Ученый секретарь
Специализированного совета 032,
к.т.н.



А.В. Меликян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. В течение последних лет объемы проектирования и производства интегральных схем (ИС) с размерами транзисторов 16 нм и ниже увеличились в несколько раз. Ведущие фабрики-производители сверхбольших интегральных схем (СБИС) уже сегодня производят ИС с размерами транзисторов 16, 14, 12 и 7 нм. Использование таких техпроцессов приводит к росту сложности и степени интеграции современных ИС и как следствие возникновению новых проблем при проектировании.

При размерах транзисторов 16 нм и ниже технологический разброс параметров транзисторов в несколько раз больше по сравнению с технологией 65 нм. В технологиях 65 нм и выше технологический разброс транзисторов с разной толщиной окисла не оказывает существенного влияния на характеристики ИС. В современных ИС технологический разброс приводит к ухудшению временных характеристик. С уменьшением размеров транзистора также увеличивается диапазон вариации напряжения питания ($\pm 20\%$ относительно номинала) и температуры. Становится обязательным учет таких факторов, как самонагрев (self-heating). В технологиях 65 нм и выше самонагрев транзисторов не превышает 5°C , и поэтому этот фактор не учитывается. В современных ИС появляется необходимость учета этого фактора и обеспечения работоспособности схемы при температурах до 150°C , поскольку самонагрев ИС в нанометровых технологиях превышает допустимые 5°C . К указанному фактору добавляется необходимость учета старения транзисторов при проектировании, так как это может привести к деградации параметров транзистора и существенно влияет на характеристики ИС уже в процессе их эксплуатации. Эти негативные факторы влияют на характеристики ИС, тем самым повышая сложность проектирования.

Среди электронных изделий особое место занимают конвейерные аналого-цифровые преобразователи (АЦП), которые находят широкое применение в различных областях современной микроэлектроники. Они являются неотъемлемой составной частью цифровых приборов, систем преобразования и отображения информации, программируемых источников питания, радиолокационных систем, а также важными компонентами различных автоматизированных систем контроля и управления. Традиционные методы проектирования АЦП не обеспечивают достаточную помехоустойчивость при современных технологиях производства 16 нм и ниже. Они не позволяют получать необходимые скорость передачи данных и разрядность АЦП, требования к которым за последние годы увеличились в несколько раз. Помехоустойчивость конвейерных АЦП зависит от ошибки смещения нуля операционного усилителя (ОУ) и компаратора, коэффициента усиления ОУ, рассогласования конденсаторов, коэффициента заполнения и фазового сдвига дифференциального синхросигнала. Необходимо также учитывать синхронизацию цифрового кода с синхросигналом. В случае помех или других внешних воздействий задержки схем могут изменяться, что может привести к ошибке времени предустановки или удержания триггеров. Ошибкой смещения нуля ОУ и компараторов в АЦП с разрядностью до 10 бит можно было пренебречь, поскольку значение ошибки смещения нуля меньше младшего значащего разряда (МЗР). В настоящее время рабочая частота конвейерного АЦП достигла 1 ГГц, а

разрядность - 12 бит. В таких АЦП неидеальность некоторых компонентов, не воздействующих на характеристики АЦП в технологиях 65 нм и выше, стала значительно влиять на помехоустойчивость АЦП.

Следует также отметить особенности использования технологий с трехмерным затвором (FinFET). В отличие от стандартной комплементарной металл-оксид-полупроводниковой (КМОП) технологии, для транзисторов с трехмерным затвором технологический разброс и вариация температуры и напряжения питания имеют большое влияние на характеристики ИС. При проектировании АЦП с использованием технологий 16 нм (FinFET) и ниже необходимо учесть возникающие негативные факторы. В противном случае, воздействие внешних факторов может привести к функциональной ошибке АЦП.

Следовательно, разработка новых методов автоматизации проектирования помехоустойчивых конвейерных АЦП для технологий 16 нм и ниже, обладающих устойчивостью к внешним факторам и позволяющих избежать ошибки передачи данных, является актуальной задачей. В соответствии с этим в диссертационной работе предлагаются новые методы проектирования помехоустойчивых конвейерных АЦП и их программная реализация для маршрута автоматизированного проектирования.

Цель работы и задачи исследования. Целью диссертационной работы является исследование и разработка новых методов автоматизации проектирования конвейерных АЦП, обеспечивающих высокую помехоустойчивость для технологии 16 нм и ниже за счет новых конструкторских решений в системах автоматизации проектирования (САПР).

Исходя из намеченной цели в диссертационной работе были поставлены и решены следующие задачи:

1. Разработка метода и алгоритма коррекции рассогласования конденсаторов для различных параметров конвейерных АЦП, позволяющих повысить помехоустойчивость схемы.
2. Разработка метода автоматической коррекции фазового сдвига дифференциального синхросигнала системы.
3. Разработка метода автоматического устранения смещения напряжения нуля компаратора и ОУ.
4. Разработка метода исправления времени предустановки и удержания триггеров, позволяющего устранять функциональные ошибки для применения в САПР.
5. Разработка маршрута и программы для автоматизации проектирования помехоустойчивых конвейерных АЦП.
6. Проведение численных экспериментов с помощью разработанной программой для подтверждения эффективности предложенных методов.

Научная новизна разработок, представленных в данной диссертационной работе, заключается в следующем:

1. Разработаны схема и алгоритм для автоматического исправления рассогласования конденсаторов применительно к различным типам конвейерных АЦП. Предложены схема и алгоритм, которые, по сравнению с существующими, осуществляют регулярную калибровку емкостей, что позволяет обеспечить

идентичные характеристики независимо от вариации процесса, напряжения и температуры. Использование данного подхода значительно увеличивает помехоустойчивость системы.

2. Разработан метод автоматической коррекции смещения точки пересечения дифференциального синхросигнала и коэффициента заполнения для автоматической генерации проектных решений в САПР на RTL уровне для различных значений коэффициента заполнения синхросигнала. Предложенный метод позволяет оптимизировать коэффициент заполнения в зависимости от входных параметров программы. Коррекция смещения позволяет получать дифференциальный синхросигнал с ошибкой точки пересечения до 20 мВ и коэффициентом заполнения пределах 49...51%. Предложенная схема коррекции, по сравнению с существующими, занимает на порядок меньше площади и потребляет в десятки раз меньше мощности при незначительных потерях в точности от 50+/-0,7% до 50+/-1%.

3. Разработан метод автоматической коррекции смещения напряжения нуля компаратора и ОУ для синтеза проектных решений в САПР в формате Verilog, применительно к различным типам конвейерных АЦП. Автоматическая коррекция смещения напряжения, по сравнению с существующими подходами, регулярно устраняет смещение напряжения во время эксплуатации ИС с учетом реальных вариаций процесса, напряжения и температуры.

4. Разработан метод автоматического исправления цифрового кода АЦП для применения в САПР, позволяющий избежать ошибки времени предустановки и удержания триггера. По сравнению с существующими подходами, предложенный метод исправляет временные запасы с учетом реальных вариаций напряжения и температуры. Предложенный метод универсален и может быть использован для АЦП с широким частотным диапазоном и различной разрядностью.

Практическая ценность работы. Предложенные методы и маршрут реализованы в виде программы для автоматизации проектирования конвейерных АЦП. В результате численных экспериментов и моделирования было доказано, что использование разработанных методов и маршрута в современных конвейерных АЦП является одним из путей для разработки помехоустойчивых схем, которые могут применяться в технологии 16 нм и ниже, где имеется большая вариация процесса, напряжения и температуры.

Достоверность научных положений подтверждается математическим обоснованием полученных научных результатов и сравнением практических результатов с результатами моделирования.

Внедрение. Методы, маршрут и программная реализация, предложенные в диссертационной работе, могут быть использованы при проектировании помехоустойчивых конвейерных АЦП для технологии 16 нм и ниже.

Результаты работы внедрены в процесс проектирования аналоговых схем на предприятиях АО «ДИЗАЙН ЦЕНТР «СОЮЗ», ЗАО «Синописис Армения», а также в учебный процесс НИУ «МИЭТ».

На защиту выносятся следующие научные положения.

1. Метод и алгоритм исправления рассогласования емкостей конденсаторов конвейерного АЦП.

2. Метод автоматической коррекции смещения напряжения нуля компаратора для синтеза проектных решений в САПР вне зависимости от вариации процесса напряжения и температуры.

3. Метод автоматического исправления времени предустановки и удержания информационного сигнала, позволяющий устранять функциональные ошибки.

4. Метод автоматической коррекции фазового сдвига и коэффициента заполнения дифференциального синхросигнала для автоматической генерации проектных решений в САПР.

5. Программная реализация средств автоматизации проектирования конвейерных АЦП, которая позволяет повысить помехоустойчивость за счет использования предложенных методов и генерировать структурные описания блоков АЦП.

Публикации. Результаты диссертационной работы отражены в 8 научных работах, в том числе 5 публикаций в изданиях, индексированных в международной базе данных Scopus. Список публикаций приведен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, четырех глав, основных выводов и списка литературы, включающего 101 наименование. Основной текст составляет 135 страниц, включая 83 рисунка и 6 таблиц. Диссертация написана на русском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении приведены основные недостатки существующих методов повышения помехоустойчивости при проектировании современных помехоустойчивых конвейерных АЦП, сформулирована мотивация исследования, обоснована актуальность темы, определены цели и задачи диссертационной работы.

В первой главе на основе литературных источников проведено исследование и анализ современных средств автоматизации проектирования помехоустойчивых конвейерных АЦП. Исследованы компоненты, которые влияют на помехоустойчивость АЦП.

В современной микроэлектронике АЦП широко применяются в различных областях. Среди них особое место занимает конвейерный АЦП, как наиболее оптимальный по соотношению разрядности и скорости передачи данных.

1.5 бит/каскад - самая распространенная архитектура в конвейерном АЦП. В этой архитектуре число каскадов равно величине разрядности АЦП. На выходе каждого каскада получается 2-разрядный цифровой код. Это позволяет использовать коррекцию цифрового кода.

Выходное напряжение в 1.5 бит/каскад архитектуре равно:

$$V_{\text{вых}} = \begin{cases} 2V_{\text{вх}} - V_{\text{оп}} & \text{если } V_{\text{вх}} > +V_{\text{оп}}/4, \text{ то} & n=2(10) \\ 2V_{\text{вх}} & \text{если } -V_{\text{оп}}/4 \leq V_{\text{вх}} \leq +V_{\text{оп}}/4, \text{ то} & n=2(01) \\ 2V_{\text{вх}} + V_{\text{оп}} & \text{если } V_{\text{вх}} < -V_{\text{оп}}/4, \text{ то} & n=2(00) \end{cases} \quad (1)$$

где $V_{\text{вых}}$ - выходное напряжение каскада, $V_{\text{оп}}$ - опорное напряжение компаратора, $V_{\text{вх}}$ - входное аналоговое напряжение.

Современные методы коррекции рассогласования конденсаторов рассчитаны на то, чтобы разница между емкостями не превышала 5%. Для технологий с размерами транзисторов 65 нм можно получить конденсаторы, разница емкостей которых не превышает 5%. Но для размеров 16 нм и ниже технологический разброс велик и разница емкостей получается больше 10%. Технология 65 нм не позволяет получить достаточную помехоустойчивость и точность для конвейерного АЦП с быстродействием 500 Мвыб/с и разрядностью 10 бит и больше, поэтому необходимо использовать технологию 16 нм и ниже для обеспечения быстродействия конвейерного АЦП. В этом случае выходное напряжение каскада конвейерного АЦП определяется по формуле

$$V_{\text{вых}} \approx (2 + \frac{\Delta C}{C})V_{\text{вх}} \pm (1 + \frac{\Delta C}{C})V_{\text{оп}} \quad (2)$$

где ΔC – разница емкостей конденсаторов, C – емкость конденсатора.

В конвейерных АЦП с разрядностью более 10-и бит игнорирование смещения напряжения компаратора и ОУ становится критичным, поскольку величина смещения получается больше, чем младший значащий разряд (МЗР), это приводит к невозможности получения достаточной помехоустойчивости в конвейерных АЦП для безошибочного преобразования.

На рис. 1 показана зависимость помехоустойчивости от рабочей частоты конвейерного АЦП.

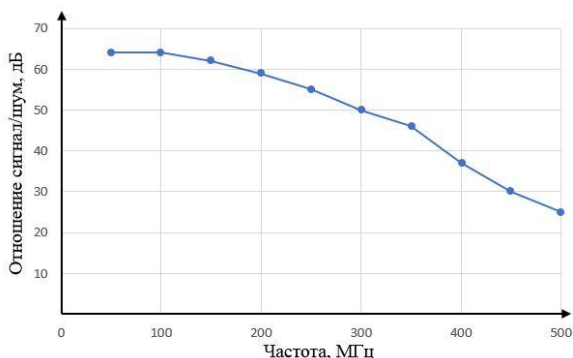


Рис. 1. Зависимость отношения сигнал/шум от частоты дискретизации

При частоте 300 МГц и выше отношение сигнал/шум резко уменьшается. Это приводит к ошибкам преобразования и функциональной ошибке. Современные САПР не учитывают вышеперечисленные недостатки и негативные факторы в технологии 16 нм и ниже при проектировании конвейерных АЦП. Следовательно, возникает необходимость разработки новых методов и маршрутов для автоматизированного проектирования помехоустойчивых конвейерных АЦП.

Для решения вышеперечисленных проблем в технологии 16 нм и ниже в диссертационной работе предлагаются новые методы проектирования помехоустойчивых конвейерных АЦП.

Во второй главе предложены схема и алгоритм коррекции рассогласования конденсаторов и смещения напряжения компаратора конвейерных АЦП для технологии с размерами транзисторов 16 нм.

В рамках диссертационной работы были разработаны схема и алгоритм калибровки конденсаторов, позволяющие, в отличие от существующих методов, генерировать описание схемы, учитывающая архитектуру и разрядность конвейерного АЦП, в котором применена разработанная схема калибровки конденсаторов. Это позволяет получить одинаковые емкости вне зависимости от вариации процесса, напряжения питания и температуры. Предложенная схема добавляется к схеме конвейерного АЦП и применяется в маршруте проектирования. Блок калибровки конденсаторов сравнивает конденсаторы и, исправляя рассогласование, генерирует код, который подается на все каскады конвейерного АЦП.

Блок калибровки состоит из конденсаторов, подключенных к ОУ, компаратора, источников тока, регистров и матрицы конденсаторов (рис. 2). Матрица конденсаторов соединяется с конденсатором C_S . Компаратор определяет разницу напряжения входов. Если напряжение на конденсаторе C_F больше, чем напряжение на конденсаторе C_S , то выход компаратора будет логической единицей. В противном случае, выход компаратора будет логическим нулем. На выходе компаратора подается сигнал к блоку выборки конденсаторов, который определяет, к какому конденсатору добавить емкость из матрицы. Информация о разнице конденсаторов хранится в регистрах. После окончания калибровки код из схемы регистров подает код ко всем каскадам конвейерного АЦП.

Одно из преимуществ данного метода состоит в том, что калибровку конденсаторов возможно проводить периодически во время преобразования АЦП, поскольку блок калибровки использует реплику одного каскада конвейерного АЦП, и конденсаторы выбираются автоматически из библиотеки конденсаторов, в зависимости от основного конденсатора.

Предложенный метод учитывает старение транзисторов в ИС. В результате продолжительной работы параметры транзисторов деградируют и меняют характеристики системы. Система, периодически исправляя рассогласования конденсаторов, устраняет фактор деградации параметров транзисторов.

После калибровки выходная функция принимает вид

$$V_{\text{вых}} = 2V_{\text{вх}} \pm V_{\text{оп}} \quad (3)$$

Как видно из уравнения (3), величина конденсатора не добавляет никакой ошибки.

На рис. 3 показана блок-схема работы предложенного контроллера. Блок-схема работает на основе конечного автомата, используя соответствующие последовательности элементов. На начальном этапе происходит инициализация схемы, затем включаются соответствующие элементы, после чего начинается калибровка. Система сравнивает конденсаторы и определяет разницу емкостей. RTL уровень контроллера используется в разработанной программе. Программа меняет параметры контроллера в зависимости от входных данных.

После добавления конденсатора из матрицы величины снова сравниваются. Число итераций зависит от требуемой точности. Численные эксперименты

показали, что при равенстве числа итераций числу каскадов разница емкостей получается менее 1%. После окончания калибровки полученные коды хранятся в блоке регистров и передаются ко всем каскадам конвейерного АЦП.

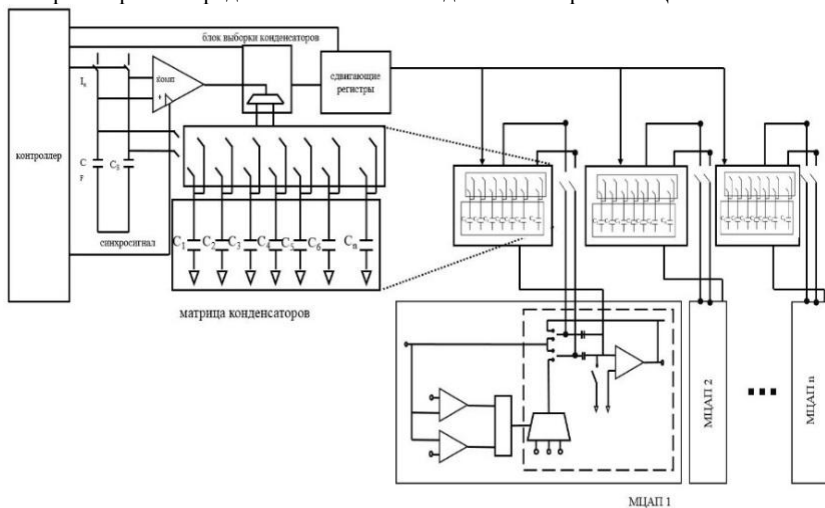


Рис. 2. Блок-схема конвейерного АЦП с блоком калибровки

Выходная функция в случае рассогласования конденсаторов имеет вид

$$D_{\text{вых}} = \begin{cases} (1 - \Delta/2)V_{\text{вх}} - (\Delta/2)V_{\text{оп}} & \text{когда } d_1 = 0 \\ (1 + \Delta/2)V_{\text{вх}} - (\Delta/2)V_{\text{оп}} & \text{когда } d_1 = 1 \end{cases} \quad (4)$$

где $D_{\text{вых}}$ - выход каскада; Δ - разница между конденсаторами.



Рис. 3. Блок-схема работы контроллера

Когда емкость конденсатора C_S больше, чем емкость конденсатора C_F , выходная функция имеет вид

$$D_{\text{вых}} = V_{\text{вх}} + (\Delta/2) (|V_{\text{вх}}| - V_{\text{оп}}), \quad (5)$$

в противном случае

$$D_{\text{вых}} = V_{\text{вх}} - (\Delta/2) (|V_{\text{вх}}| - V_{\text{оп}}). \quad (6)$$

На рис. 4 продемонстрировано передаточная характеристика конвейерного АЦП, когда имеет место рассогласование конденсаторов.

В этом случае выражение можно объединить для обоих случаев:

$$D_{\text{вых}2} - D_{\text{вых}1} = \Delta (|V_{\text{вх}}| - V_{\text{оп}}). \quad (7)$$

Из этого выражения можно найти величину разницы емкостей. Поменяв $V_{\text{вх}}$ на

$D_{\text{вых}2}$ в выражении (7), получим.

$$\Delta \approx \frac{D_{\text{вых}2} - D_{\text{вых}1}}{|D_{\text{вых}2}| - V_{\text{оп}}}. \quad (8)$$

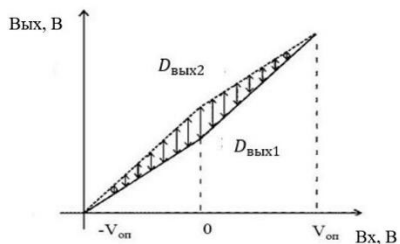


Рис. 4. Передаточная характеристика АЦП

После калибровки конденсаторов передаточная характеристика становится прямой, а $D_{\text{вых}2}$ равной $D_{\text{вых}1}$, следовательно, $\Delta = 0$, и рассогласование

конденсаторов устраняется.

В результате моделирования при помощи Nspice симулятора зафиксировано увеличение отношения сигнал/шум после калибровки конденсаторов с 57,02 до 63,3 дБ, что равнозначно увеличению помехоустойчивости на 17%. Динамический диапазон, свободный от паразитных составляющих, увеличился с 62,4 дБ до калибровки до 72,35 дБ после калибровки. Моделирование было проведено с вариацией процесса, напряжения и температуры т.е. на 13%. Предложенный метод исправляет рассогласование конденсаторов после производства ИС.

В диссертационной работе также предложен метод коррекции смещения напряжения нуля компаратора и ОУ для синтеза проектных решений в САПР в формате Verilog для различных типов конвейерных АЦП.

На рис. 5 продемонстрирована блок-схема коррекции смещения напряжения компаратора и ОУ. Опорное напряжение компараторов подает цифроаналоговый преобразователь (ЦАП), который контролируется центральным контроллером. Все каскады используют одинаковые опорные напряжения, которые генерирует ЦАП. В 12-разрядном конвейерном АЦП для опорного напряжения используется 7-разрядный ЦАП. В этом случае размер шага или 1 МЗР ЦАП будет меньше 1 мВ. Предложенный метод устраняет напряжение смещения компаратора до начала преобразования аналогового сигнала. В этой фазе контроллер при помощи ключа соединяет положительный вход компаратора с выходом ЦАП. На начальном этапе контроллер подает одинаковые цифровые коды, чтобы оба выхода имели одинаковые напряжения, равные опорному напряжению. Выход ЦАП, соединенный с положительным входом компаратора, фиксируется. В данном случае для исправления смещения напряжения используется бинарный код. Контроллер сравнивает выход компаратора с предыдущим значением. В случае изменения выхода компаратора контроллер фиксирует цифровой код, и процесс исправления прекращается. Метод коррекции используется для синтеза в САПР в формате Verilog. На входе САПР задаются входные параметры конвейерных АЦП, такие как разрядность, архитектура, величины которых используются для синтеза контроллера и схемы коррекции.

При наличии смещения напряжения на выходе ОУ уравнения для заряда на конденсаторах в фазах выборки, хранения и умножения имеют следующий вид:

$$q = -V_{\text{ВХ}}(C_S + C_F), \quad (9)$$

$$q = q_S + q_F = (V_{\text{СН}} - V_{\text{ВЫХ}})C_F + (V_{\text{СН}} - V_{\text{ОП}}), \quad (10)$$

где q - заряд, $V_{\text{СН}}$ - смещение напряжение ОУ.

Выход можно определить в виде

$$V_{\text{ВЫХ}} = \left(1 + \frac{C_S}{C_F}\right) (V_{\text{ВХ}} + V_{\text{СН}}) - \frac{C_S}{C_F} V_{\text{ОП}}. \quad (11)$$

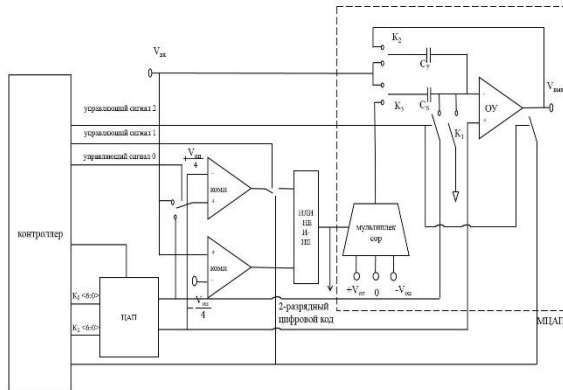


Рис. 5. Блок-схема коррекции смещения напряжения компаратора

Предложенный метод добавляет смещение напряжения на входе ОУ, таким образом устраняя его на выходе. В этом случае заряды будут

$$q = (V_{\text{ОП}} - V_{\text{ВХ}})(C_S + C_F), \quad (12)$$

$$q = q_S + q_F = (V_{\text{СН}} - V_{\text{ВЫХ}})C_F + (V_{\text{СН}} - V_{\text{ОП}})C_S. \quad (13)$$

Используя эти выражения получаем выходную функцию:

$$V_{\text{ВЫХ}} = \left(1 + \frac{C_S}{C_F}\right) V_{\text{ВХ}} - \frac{C_S}{C_F} V_{\text{ОП}}. \quad (14)$$

Как видно из (14) смещение напряжения не добавляет ошибку в конечной функции и получается безошибочная передаточная функция.

На рис. 6 показан метод коррекции смещения напряжения компаратора. Схема контролируется конечным автоматом.

Спектральный анализ для 12-разрядного конвейерного АЦП показал, что отношение сигнал/шум увеличивается с 53,46 до 68,7 дБ, а динамический диапазон, свободный от паразитных составляющих, - с 57,8 до 70,53 дБ, то есть SNR увеличивается на 28%, а SFDR - на 22%, что обеспечивает достаточную помехоустойчивость для 12-разрядного конвейерного АЦП с быстродействием 500 Мвыб/с.



Рис. 6. Блок-схема коррекции смещения напряжения компаратора

Третья глава посвящена разработке метода коррекции синхросигнала и обеспечения достаточного запаса времени предустановки и удержания триггеров для автоматической генерации проектных решений в САПР на RTL уровне для различных значений коэффициента заполнения синхросигнала.

В диссертационной работе предложен метод исправления фазового сдвига дифференциального синхросигнала и коэффициента заполнения, которые во время синтеза в САПР дает возможность параметрической оптимизации в зависимости от входных данных. На входе программы задается коэффициент заполнения синхросигнала, который нужно получить во время проектирования. Программа, учитывая зависимость коэффициента заполнения от площади емкостей в схеме, оптимизирует и генерирует описание схемы.

Схема коррекции фазового сдвига дифференциального синхросигнала состоит из блоков фазового детектора, низкочастотного фильтра (НЧФ), дифференциального усилителя (ДУ) и генератора синхросигнала. Дифференциальный синхросигнал с фазовым сдвигом подается на вход фазового детектора, который определяет разницу фаз синхросигнала. Одновременно этот сигнал подается и к генератору синхросигнала (рис. 7).

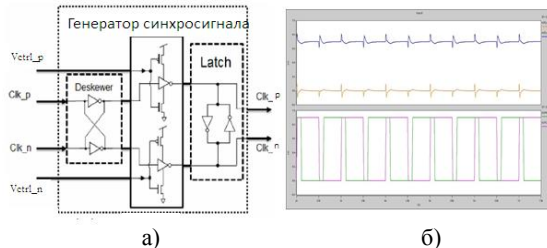


Рис. 7. Схема генератора синхросигнала (а), сигналы на входах (б)

Выход фазового детектора интегрируется, и аналоговое напряжение посылается на вход ДУ. Выходы ДУ контролируют схему генератора синхросигнала. Тем самым фазовый сдвиг на выходе этой схемы исправляется.

Проведено моделирование схемы, которая была сгенерирована с помощью разработанной программы со Hspice симулятором для оценки эффективности метода. Моделирование проведено с вариацией процесса, напряжения и температуры. Разница точки пересечения дифференциального сигнала составляет 20 мВ в процессе SS с минимальным напряжением питания, при разнице точки пересечения 100 пс и частоте входного сигнала 1000 МГц. Тем самым увеличивается помехоустойчивость конвейерного АЦП.

На рис. 8 представлена схема коррекции коэффициента заполнения (СККЗ) синхросигнала. Схема состоит из двух одинаковых частей коррекции синхросигнала, системы вычисления коэффициента заполнения и мультиплексора. Одна из частей исправляет синхросигнал, когда коэффициент заполнения больше 50%, а другая – когда коэффициент заполнения меньше 50%.

Схема определяет величину коэффициента заполнения и, тем самым, при помощи мультиплексора выбирает выход схемы коррекции синхросигнала. Данный метод интегрирован в разработанную программу автоматизированного проектирования, которая позволяет путем параметрической оптимизации конденсаторов, получить на входе программы заданный коэффициент заполнения.

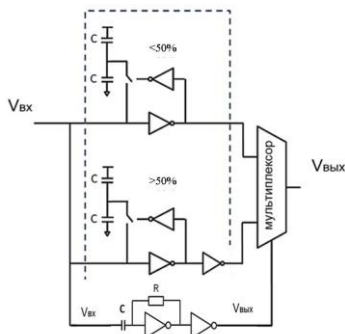


Рис. 8. Структура системы коррекции коэффициента заполнения
 Результаты моделирования приведены в табл. 1.

Таблица 1

Результат коррекции коэффициента заполнения			
Процесс	Коэффициент заполнения, %		Потребляемый ток, мкА
	>50%	<50%	
ТТ (55 ⁰ С)	49.9	49.7	373

FF (-40 ⁰ C)	50.8	50.4	428
SS (150 ⁰ C)	49.6	51.0	315

Как видно из таблицы, при входном коэффициенте заполнения 55% выход получается 50+/-1%, при этом потребляется в десятки раз меньше тока по сравнению с известными схемами, что объясняется использованием ДУ и ОУ во всех существующих методах коррекции. Очевидно, занимаемая площадь в ИС тоже будет на порядок меньше.

Предложена новая система регулировки и стабилизации временных запасов предустановки и удержания (рис. 9), которая с учетом реальных вариации процесса, напряжения и температуры обеспечивает временные запасы между сигналом синхронизации и информацией. Данный метод реализован в маршруте автоматизации проектирования конвейерных АЦП, что позволяет значительно сократить время проектирования.

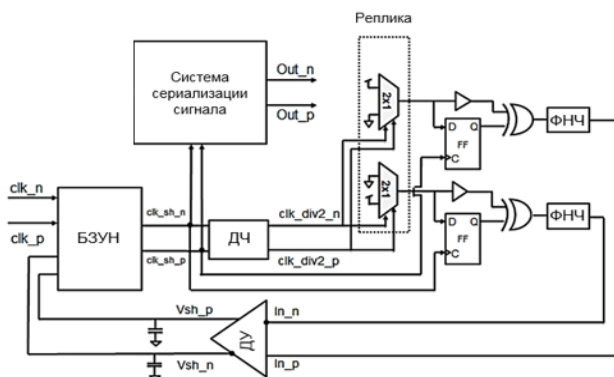


Рис. 9. Система самокорректировки временных запасов предустановки и удержания

В качестве входных сигналов для схемы выступают выходные сигналы фазовой автоподстройки частоты. Синхросигналы соединяются с генератором, управляемым напряжением (ГУН), выход которого подается одновременно к триггерам и схеме делителя частоты. Выходы схемы делителя частоты (clk_div2_p и clk_div2_n) соединяются с репликой схемы. В результате получается разница фаз между синхросигналом и информационным сигналом реплики. Эти сигналы после НЧФ интегрируются и подаются ко входам ДУ. Выходы ДУ управляют задержкой ГУН. Выходные сигналы ГУН после коррекции могут использоваться в конвейерном АЦП, обеспечивая максимальные временные запасы предустановки и удержания.

Разработанная система обеспечивает временные запасы методом самокорректировки и регулирования времени между информационным сигналом и

синхросигналом с учетом реальных вариаций процесса, напряжения и температуры.

Предложенная схема на частоте 1 ГГц обеспечивает по меньшей мере от ~188 пс запасов предустановки и от ~189 пс запасов утверждения за счет увеличения площади до 11% и энергопотребления до 13%. Предложенный метод исключает возможность функциональной ошибки конвейерного АЦП и позволяет также сократить время, затрачиваемое на проектирование, до 70%.

В четвертой главе на основе предложенных в диссертационной работе методов реализована программа ADC COMPILER, которая предназначена для автоматизации проектирования и синтеза Spice-описаний на уровне транзисторов с учетом негативных технологических факторов в технологии 16 нм и ниже.

Работа программы основана на методе обработки шаблонов. Программа состоит из нескольких шаблонов и ядра, которое осуществляет интерпретацию шаблонов. В шаблонах создаются глобальные параметры и переменные для использования других шаблонов. Входными данными являются: архитектура, разрядность, коэффициент заполнения синхросигнала, ограничение в виде величины помехоустойчивости конвейерного АЦП, модели транзисторов для генерации Spice-описания схемы, конфигурационный файл, в который загружаются входные данные программы, Verilog-описание контроллера и компоненты верификации, необходимые для моделирования (рис. 10). Входными данными также являются ограничения для выходного коэффициента заполнения.

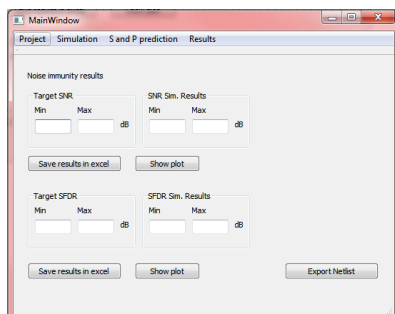


Рис. 10. Блок-схема работы разработанной программы ADC COMPILER

На рис. 11 показана блок-схема работы программы. На начальном этапе проверяется наличие и корректность входных параметров, которые загружаются с помощью конфигурационного файла. Затем начинается создание шаблонов. Программа минимизирует отклонение значений коэффициента заполнения за счет увеличения площади емкостей в схеме СККЗ. Величина коэффициента заполнения синхросигнала зависит от конденсаторов в схеме СККЗ.

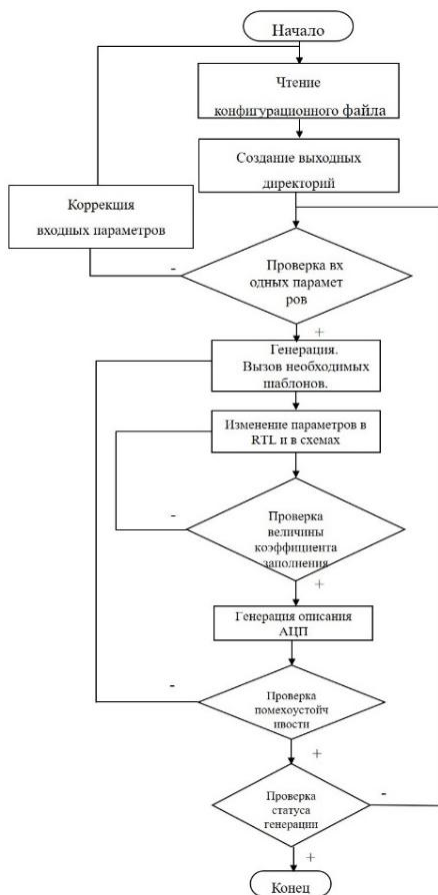


Рис. 11. Блок-схема работы разработанной программы ADC COMPILER

Предложенная программа выбирает величину емкости в зависимости от искажения входного синхросигнала. После синтеза программа запускает симулятор Hspice. Затем проверяется величина помехоустойчивости АЦП. Если величина соотношения сигнал/шум меньше задаваемого значения во входном конфигурационном файле, тогда программа увеличивает разрядность ЦАП, который используется в блоке коррекции смещения напряжения компаратора, и число итераций в блоке калибровки конденсаторов, что незначительно увеличивает площадь и мощность конвейерного АЦП. Заново запуская симулятор Hspice, проверяется значение соотношения сигнал/шум. В случае, когда помехоустойчивость опять меньше задаваемого значения во входном конфигурационном файле, цикл повторяется. В противном случае, программа после

генерации описания конвейерного АЦП рассчитывает площадь и мощность и завершает работу.

При помощи автоматизации проектирования помехоустойчивых конвейерных АЦП время затраченное на проектирование, значительно сокращается, а вероятность ошибки при проектировании значительно уменьшается.

Результаты сравнения программ ADC COMPILER и Design Compiler для конвейерных АЦП различной разрядности приведены в табл. 2.

Для оценки эффективности программы и методов, разработанных в предыдущих главах, был проведен ряд экспериментов по генерации Spice-описаний с технологической библиотекой 16 нм.

Конвейерные АЦП с различными разрядностями были смоделированы при тактовой частоте 1000 МГц. Аналогичный эксперимент был проведен с программой Design Compiler компании Synopsys. Выполнен сравнительный анализ.

Таблица 2

Сравнение программ ADC COMPILER и Design Compiler для конвейерных АЦП различной разрядности

Разрядность	Архитектура, бит/каскад	Площадь, мкм ²		SNR, дБ		Общая мощность, мкВт	
		DC	ADC	DC	ADC	DC	ADC
7	1,5	2170	2650	112	127	32	37
8	1,5	3280	3730	101	115	37	42
9	1,5	4510	5050	92	104	42	46
10	1,5	5890	6250	80	97	46	49
11	1,5	6940	7430	69	86	49	52
12	1,5	7880	8410	58	79	52	54

Из таблицы 2 видно, что предложенный маршрут обеспечивает высокую помехоустойчивость для высокоскоростных конвейерных АЦП за счет незначительного увеличения площади (до 10%).

В заключении сформулированы основные результаты, полученные в рамках диссертационной работы:

ОСНОВНЫЕ ВЫВОДЫ И РЕЗУЛЬТАТЫ РАБОТЫ

1. Разработаны схема и алгоритм для автоматической коррекции рассогласования конденсаторов конвейерного АЦП для применения в САПР. Предложена схема калибровки конденсаторов, позволяющая получить идентичные емкости вне зависимости от вариации процесса, напряжения и температуры. Метод калибровки периодически исправляет рассогласование конденсаторов даже во

время преобразования АЦП, при этом значительно увеличивается помехоустойчивость конвейерного АЦП, обеспечивая возможности повышения разрядности и скорости [1-3].

2. Разработан метод автоматической коррекции смещения напряжения компаратора и ОУ для синтеза проектных решений в САПР в формате Verilog применительно к различным типам конвейерных АЦП. Данный метод коррекции смещения напряжения компаратора устраняет смещение напряжения перед преобразованием АЦП. Преимущество этого метода состоит в том, что он устраняет смещение напряжения после эксплуатации ИС с учетом реальных вариаций процесса, напряжения и температуры при небольшом увеличении занимаемой площади в ИС. Итоговая площадь АЦП увеличивается на 6%, в то время как помехоустойчивость повышается на 28% [4-6].

3. Предложен метод автоматической коррекции фазового сдвига и коэффициента заполнения синхросигнала для автоматической генерации проектных решений в САПР на RTL уровне применительно к различным значениям коэффициента заполнения синхросигнала. Использование данного метода позволяет получить дифференциальный синхросигнал с ошибкой точки пересечения 20 мВ и коэффициентом заполнения 49...51% при рассогласовании в 100 пс дифференциального синхросигнала и 45% коэффициента заполнения входного сигнала. Данный метод отличается низким энергопотреблением, исправляет фазовый сдвиг и коэффициент заполнения синхросигнала с точностью +/-1% независимо от вариации процесса, напряжения и температуры [7].

4. Разработан метод автоматической регулировки временных запасов, который за счет самокоррекции увеличивает временные запасы с учетом реальных вариаций технологических процессов, напряжения источника питания и температуры окружающей среды. Регулировки временных запасов исключают функциональные ошибки, вызванные недостаточностью запаса времени предустановки и удержания, и обеспечивают необходимые временные запасы (не менее чем ~188 пс) [8].

5. В рамках диссертационной работы на основе предложенных методов разработан программный комплекс для автоматизации проектирования конвейерных АЦП. Программный комплекс легко настраивается на специфические особенности архитектуры в зависимости от входной конфигурации АЦП. Предложен маршрут автоматизации проектирования помехоустойчивых конвейерных АЦП для технологии 16 нм с трехмерным затвором транзистора. Особенность этого маршрута заключается в интеграции всех предложенных методов для повышения помехоустойчивости и синтеза в рамках одного маршрута, что увеличивает эффективность проектирования [3].

6. Выполнен комплекс численных экспериментов, подтверждающих эффективность предложенных методов для конвейерных АЦП с разной разрядности. Сравнительный анализ результатов моделирования и синтеза с использованием программного комплекса Design Compiler показал эффективность предложенных методов.

СПИСОК РАБОТ, ОПУБЛИКОВАННЫХ ПО ТЕМЕ ДИССЕРТАЦИИ

1. **Hekimyan A., Sahakyan A., Trdatyan D.** Capacitor Mismatch Correction Method in Pipeline ADCs // Proceedings of IEEE 36th International Conference on Electronics and Nanotechnology (ELNANO-2016). – Kyiv, Ukraine, 2016.– P. 319-322.
2. **Экмиян А.Р.** Разработка метода повышения помехоустойчивости в автоматизированных конвейерных АЦП // Развитие науки в XXI веке. – Харьков, Украина. – 2016. – С. 92 – 96.
3. **Экмиян А.Р.** Метод автоматизированного повышения помехоустойчивости в конвейерных АЦП // Современная наука: актуальные проблемы и пути их решения. – 2016. – №9 (31) – С. 12-16.
4. **Hekimyan A., Gavrilov S., Trdatyan D., Trdatyan A.** Differential Clock Cross-Point Correction Method for Pipeline ADCs // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016).- Yerevan, Armenia, 2016. - P. 429-431.
5. **Melikyan V., Sahakyan A., Hekimyan A., Trdatyan D.** Low Power Duty Cycle Adjustment Simple Method In High Speed Serial Links // 13th Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2015). – Batumi, Georgia, 2015.– P. 43-46.
6. **Экмиян А.Р.** Исследование и разработка метода повышения помехоустойчивости конвейерного АЦП // Международный Научно-исследовательский журнал. – № 01 (55). – Часть 4. 2017.– С. 169-173.
7. **Hekimyan A., Sahakyan A., Bulakh D.** High Accuracy Pipelined ADC Design for Wireless LANs // Proceedings of 5th IEEE INTERNET TECHNOLOGIES AND APPLICATIONS (ITA). – Wrexham, Wales, UK, 2015. – P. 310-312.
8. **Melikyan V., Sahakyan A., Hekimyan A., Shishmanyanyan A.** Multi-Rate Clock-Data Recovery Solution in High Speed Serial Links // Proceedings of IEEE 35th International Conference on Electronics And Nanotechnology ELNANO. – Kyiv, Ukraine, – 2015. – P. 242-244.

ԱՄՓՈՓԱԳԻՐ

Հայտնի է, որ ինտեգրալ սխեմաների (ԻՍ) մասշտաբավորմանը զուգընթաց բարդանում է դրանց նախագծման գործընթացը: Ներկայումս ԻՍ-

երի արտադրությամբ զբաղվող առաջատար ընկերությունների կողմից 16 նմ, 12 նմ և 7 նմ տրանզիստորի չափերով արտադրությանը զուգահեռ առաջ են գալիս մի շարք խնդիրներ, որոնց լուծումները կնպաստեն ԻՍ-երի նախագծման գործընթացի պարզեցմանը և հուսալիության աճին:

Տրանզիստորի նշված չափերի նվազմանը զուգահեռ ԻՍ-ում աճում են ոչ միայն տեխնոլոգիական գործընթացից, սնման լարումից և արտաքին միջավայրի ջերմաստիճանից (ԳԼՋ) ազդեցությունները, այլ նաև առաջանում են նոր պահանջներ նախագծման փուլում: Մասնավորապես, մեծացվել են սնման լարման և ջերմաստիճանային միջակայքերը, խստացվել են աշխատանքային պարամետրերի վրա տրանզիստորի տաքացման և ծերացման ազդեցությանը ներկայացվող պահանջները:

Հաշվի առնելով վերը նշվածը, ոլորտի առաջատար ընկերությունները վերջին տարիներին իրականացնում են մի շարք աշխատանքներ, որոնք նպատակաուղղված են ԳԼՋ-ից ԻՍ-երի պարամետրերի կախվածության աստիճանի փոքրացմանը: Սակայն այդ լուծումները լիովին չեն բավարարում առկա պահանջներին:

Ֆունկցիոնալ պարամետրերի կայունությունը հատկապես կարևոր է հոսքագծային անալոգաթվային կերպափոխիչների (ԱԹԿ) պարագայում, քանի որ վերջիններս լայն տարածում են գտել տեղեկատվության փոխանցման եւ արտապատկերման համակարգերում, ծրագրավորվող հոսանքի աղբյուրներում, ռադիոտեղորոշիչ համակարգերում, ինչպես նաև տարբեր ավտոմատ կառավարման համակարգերում:

Հոսքագծային ԱԹԿ-երին ներկայացվող պահանջների խստացումներին զուգընթաց աճել են նաև դրանց կարգայնությունն ու արագագործությունը: Այդ իսկ պատճառով առաջացել է ԳԼՋ-ով պայամանավորված շեղումների չեզոքացնող լուծումների անհրաժեշտություն, որոնք կբարձրացնեն աղմկակայունությունը՝ դրանով իսկ, բացառելով ֆունկցիոնալ սխալանքը համակարգում:

Ատենախոսությունը նվիրված է արագագործ հոսքագծային ԱԹԿ-երի նախագծման ավտոմատացման միջոցների մշակմանը, որը կապահովի բարձր աղմկակայունություն՝ անկախ ԳԼՋ-ից:

Մշակված է հոսքագծային ԱԹԿ-երում կոնդենսատորների անհամապատասխանելիության ուղղման սխեմա և ալգորիթմ, որի շնորհիվ պարբերաբար ուղղումը թույլ է տալիս ապահովել համանման պարամետրերով կոնդենսատորներ՝ անկախ ԳԼՋ-ից: Տվյալ ալգորիթմի օգտագործումը թույլ է տալիս ~20%-ով մեծացնել հոսքագծային ԱԹԿ-երի աղմկակայունությունը [1-3]:

Առաջարկված են դիֆերենցիալ սինքրոազդանշանի լցման գործակցի և փոխանջատման կետի սխալանքի ուղղման նախագծման ավտոմատացված

մեթոդներ: Առաջարկված մեթոդը թույլ է տալիս լավարկման ընթացքում ստանալ սինքրոազդանշանի լցման գործակիցը $50 \pm 1\%$ միջակայքում, իսկ դիֆերենցիալ սինքրոազդանշանի փոխանջատման կետի սխալանքը՝ 20 մՎ-ից փոքր: Լցման գործակցի ուղղման սխեման չպարունակելով դիֆերենցիալ ուժեղարար և ապահովելով սխալանքի բավականին ցածր կորուստ ($\pm 0,7\% \dots \pm 1\%$)՝ ապահովում է առկա լուծումների համեմատ 25%-ով փոքր մակերես և մինչև 40%-ով ցածր էներգասպառում [4-6]:

Ստեղծված է համեմատման սխեմայի լարման շեղման սխալանքի ուղղման նախագծման ավտոմատացված մեթոդ՝ տարատեսակ հոսքագծային ԱԹԿ-երի համար: Մշակված սխեման պարբերաբար ուղղում է լարման շեղման սխալանքը անկախ ԳԼԶ-ից ԻՍ-երի արտադրությունից հետո, ինչը թույլ է տալիս մեծացնել աղմկակայունությունը 28%-ով [7]:

Ստեղծված է տեղակայման և հաստատման ժամանակների պաշարի մեծացման մեթոդ՝ ավտոմատացված համակարգում օգտագործվող տարատեսակ հոսքագծային ԱԹԿ-երի նախագծման համար: Առաջարկված մեթոդը ապահովում է անհրաժեշտ ժամանակային պաշարներ ԻՍ-երի արտադրությունից հետո՝ լարման եւ ջերմաստիճանի իրական տատանումների դեպքում: Տվյալ մեթոդը փոքրացնում է փոխանցված տվյալի սխալանքը և կրճատում նախագծման ժամկետը մոտ 70%-ով [8]:

Առաջարկված ալգորիթմները և մեթոդները օգտագործվել են ADC COMPILER ծրագրային գործիքում: Ծրագրային միջոցը կիրառություն է գտել ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ ՓԲԸ-ում, Դիզայն Յենտր «Սոյուզ», և Ազգային հետազոտական համալսարանում «ՄԷՏԻ» և օգտագործվում է հոսքագծային ԱԹԿ նախագծման նպատակով: Ծրագրային միջոցի փորձարկման ընթացքում պարզ է դարձել, որ ADC COMPILER միջոցը թույլ է ավտոմատացնել հոսքագծային ԱԹԿ-երի նախագծումը, որը թույլ է տալիս մոտ 10 անգամ կրճատել նախագծման վրա ծախսվող ժամանակը: Առաջարկվող մեթոդների օգտագործման շնորհիվ ընդամենը էներգասպառման առավելագույնը $\sim 13\%$ -ով և կիսահաղորդչային բյուրեղի վրա զբաղեցված մակերեսի $\sim 14\%$ մեծացման արդյունքում հնարավոր է դառնում բարձրացնել աղմկակայունությունը մինչև 28%:

ARSEN ROBERT HEKIMYAN

**RESEARCH AND DEVELOPMENT AUTOMOTIVE DESIGN TOOL OF
PIPELINE ADC WITH HIGH NOISE IMMUNITY FOR NANOMETERIC
TECNOLOGY**

SUMMARY

It is known, that due to scaling of integrated circuits (IC) to design process become more complicated. At present leading IC manufactories produce processes such as 16 nm, 12 nm, 7 nm which cause a lot of issues. Solving these issues will bring simplification of design process and increase the reliability.

By scaling increases not only dependency from process, voltage and temperature (PVT) but also new requirements are raised at the design stage. Especially, variation range of supply and temperature were increased, so requirements of transistor aging and self-heating affection on IC parameters become stricter.

Taking into account the following problems, leading companies of this area did various steps last years which relaxing IC parameters dependency from PVT. But this not enough to achieve target requirements.

Stability of functional parameters especially important in pipeline analog to digital converters (ADC), as they are widely used in systems of transferring and mapping information, programmable power sources, radar systems and various automatic control systems.

In parallel with the requirements restrictions of pipeline ADCs their resolution and speed was increased. For this reason, there is a need for developing new methods of decreasing dependency of PVT variation, which will increase noise immunity thereby eliminating the functional errors in the system.

Development of design automation of high-speed pipeline ADC design which will provide high noise immunity over PVT presented in the dissertation.

Developed method and algorithm of correcting capacitor mismatch in pipeline ADCs, which allow to get identical capacitors over PVT with regular calibration. Using this algorithm allows to increase noise immunity of pipeline ADC up to 20% [1-3].

Proposed method of correcting crossing error and duty cycle distortion in differential clock for syntheses in automated systems. The method allows to get duty cycle in a range of $50\pm 1\%$ and crossing error less than 20 mV. The schema of correcting duty cycle correction without differential amplifier provides low loss of error ($\pm 0,7\% \dots \pm 1\%$) and compared with known methods with 25% less area and 40% less power [4-6].

Another proposed approach is correcting offset error of comparator for various pipeline ADCs. Developed schema regular correcting offset error over PVT even after fabrication. This allows to increase noise immunity 28% [7].

A method of increasing setup and hold time margins for pipeline ADCs for using automated systems is developed. The proposed method provides setup and hold time margins over PVT after fabrication. This allows to decrease data error probability and design time up to 70% [8].

All developed methods and algorithms used in ADC Compiler application. It was applied in Synopsys Armenia, National Research University of Electronic Technology "MIET" and Design Center "Soyuz" and used for designing pipeline ADCs. Quality check of the software prove that its helps automation of designing pipeline ADCs, which decrease design stage and verification times by 10 times. With proposed methods, noise immunity of pipeline ADC increased up to 28% when power and area increased respectively 13% and 14%.



