

ՀՀ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ԵՐԵՎԱՆԻ ՊԵՏԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

ԱՐԱՄ ՎԱՀԱՆԻ ԱՎԵՏԻՍՅԱՆ

**ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ
ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ
ՄՇԱԿՈՒՄ**

ԱՏԵՆԱԽՈՍՈՒԹՅՈՒՆ

**Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա»
մասնագիտությամբ տեխնիկական գիտությունների
թեկնածուի գիտական աստիճանի հայցման համար**

**Գիտական ղեկավար՝ ՀՀ ԳԱԱ թղթակից անդամ,
ՀՀ գիտության վաստակավոր գործիչ,
տ.գ.դ., պրոֆ. Վ. Շ. Մելիքյան**

ԵՐԵՎԱՆ 2018

ԲՈՎԱՆԴԱԿՈՒԹՅՈՒՆ

ՆԵՐԱԾՈՒԹՅՈՒՆ.....5

ԳԼՈՒԽ 1. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՄԱՆ ԸՆԴՀԱՆՈՒՐ ՀԱՐՑԵՐԸ.....10

1.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման անհրաժեշտությունը.....10

1.1.1. Ստատիկ կամայական ընտրությունը հիշասարքերի նախագծման անհրաժեշտությունը 10

1.1.2. Ստատիկ կամայական ընտրությունը հիշասարքերի կառուցվածքը 12

1.1.3. Ստատիկ կամայական ընտրությունը հիշասարքերի նախագծումը 20

1.1.4. Ստատիկ կամայական ընտրությունը հիշասարքերի խափանումները 27

1.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման արդի վիճակի վերլուծությունը32

1.3. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցներին առաջադրվող պահանջները45

Եզրակացություններ.....46

ԳԼՈՒԽ 2. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ԱՌԱՋԱՐԿՎՈՂ ՄԵԹՈԴՆԵՐԸ.....48

2.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման խնդրի դրվածքը.....48

2.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման մեթոդների մշակումը49

2.2.1. Ստատիկ կամայական ընտրությունը հիշասարքերի տարրական բջիջների ընտրությունը 49

2.2.2. Բազմակի սնուցման դողերով ղեկավարվող ՍԿԸՅ 6S տարրական բջջի կիրառման առանձնահատկությունները և խնդիրները	54
2.2.3. Սնուցման դողերը ղեկավարող տրանզիստորների արդյունավետության բարձրացումը	58
2.2.4. Արագագործ նախալիցքավորման սխեմայի նախագծման եղանակների մշակումը	59
2.2.5. Ընթերցման և գրանցման համաձայնեցման ինքնաժամանակաչափ սխեմայի մշակումը	65
2.5. Առաջարկված մեթոդների համատեղ կիրառմամբ ստատիկ կամայական ընտրությամբ հիշասարքի մշակումը.....	67
Եզրակացություններ.....	75
ԳԼՈՒԽ 3. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ԾՐԱԳՐԱՅԻՆ ԻՐԱԿԱՆԱՑՈՒՄԸ	77
3.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման համակարգը	77
3.1.1. Ծրագրային միջոցի կառուցման սկզբունքները	77
3.1.2. Համապիտանի հիշողության թարգմանչի նկարագրությունը	79
3.1.3. Համապիտանի հիշողության թարգմանչի կառուցվածքը ..	83
3.1.4. Ծրագրային գործիքի օգտագործողի ինտերֆեյսը	85
3.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցի արդյունավետության գնահատումը.....	91
Եզրակացություններ.....	108
ԵԶՐԱՀԱՆԳՈՒՄ	109
ՕԳՏԱԳՈՐԾՎԱԾ ԳՐԱԿԱՆՈՒԹՅՈՒՆ	111
ՀԱՎԵԼՎԱԾ 1. ՆԵՐԴՐՄԱՆ ԱԿՏ.....	120
ՀԱՎԵԼՎԱԾ 2. «MTC» ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ C++ ԿՈՂԻ ՈՐՈՇ ՀԱՏՎԱԾԸ	121
ՀԱՎԵԼՎԱԾ 3. «MTC» ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ Perl ԿՈՂԻ ՈՐՈՇ ՀԱՏՎԱԾԸ	124

ՀԱՎԵԼՎԱԾ 4. ՄՇԱԿՎԱԾ ԱՐԱԳԱԳՈՐԾ 64 ԲԱՌԻ և 8 ԲԻԹԻ ԳԾԵՐ ՊԱՐՈՒՆԱԿՈՂ ՀԻՇԱՍԱՐՔԻ ՆԱԽԱԳԻԾԸ	132
ՀԱՎԵԼՎԱԾ 5. ՕԳՏԱԳՈՐԾՎԱԾ ՆԿԱՐՆԵՐԻ ՑԱՆԿԸ.....	143
ՀԱՎԵԼՎԱԾ 6. ՕԳՏԱԳՈՐԾՎԱԾ ԱՂՅՈՒՍԱԿՆԵՐԻ ՑԱՆԿԸ.....	147
ՀԱՎԵԼՎԱԾ 7. ՕԳՏԱԳՈՐԾՎԱԾ ՀԱՊԱՎՈՒՄՆԵՐԻ ՑԱՆԿԸ.....	148

ՆԵՐԱԾՈՒԹՅՈՒՆ

Թեմայի արդիականությունը: Կիսահաղորդչային տեխնոլոգիաների առաջնթացը հանգեցրել է ինտեգրալ սխեմաների (ԻՍ) համակարգերի արագնթաց աճին ավելի լայնորեն կիրառվող հավելվածներում, ներառյալ բարձր արտադրողականությամբ հաշվողական և շարժական սարքերում, սպառողական էլեկտրոնիկայում, ինչպիսիք են եռաչափ խաղերը, խելացի հեռախոսները և բժշկական սարքավորումները:

Բավարարելու համար բարձր կատարողականությամբ և ցածր էներգասպառմամբ հավելվածների աճող պահանջարկը՝ հաճախ պահանջվում է ունենալ մեծ քանակությամբ ներկառուցված հիշասարքեր, որոնք կապահովեն համակարգում տվյալների բարձր թողունակությունը: Այդ համակարգում ներկառուցված հիշասարքերի տարատեսակները նույնպես դարձել են էլ ավելի բարդ՝ սկսած ստատիկ հիշասարքերից մինչև դինամիկը: Ներկառուցված հիշասարքերի շարքում 6 տրանզիստորային հիշողության տարրական բջջով ստատիկ կամայական ընտրությամբ հիշասարքերը (ՍԿԸՀ) շարունակում են առանցքային դեր խաղալ գրեթե բոլոր ԻՍ համակարգերում՝ դրանց գերազանց արագության և տեխնոլոգիական գործընթացի հետ ամբողջովին համատեղելիության պատճառով: Սակայն տեխնոլոգիայի շարունակական մաշտաբավորմամբ պայմանավորված՝ ՍԿԸՀ-ների նախագծման ընթացքում առաջ են գալիս ծանր մարտահրավերներ: Անհրաժեշտ է լինում պահպանել բջջի բավարար կայունության պաշարը՝ տեխնոլոգիայի մաշտաբավորմանը զուգնթաց: Միննույն ժամանակ, բջջային հավելվածների արագ ընդլայնումը, ներառյալ սենսորային նոր հավելվածները և բժշկական սարքավորումները, պահանջում են ավելի մեծ լարման մաշտաբավորում՝ բավարարելու համար հզորության սահմանափակումները: Վերջին տարիներին լայնորեն ուսումնասիրվել են նորարարական շատ շղթաների տոպոլոգիաներ և մեթոդներ՝ լուծելու համար այդ մարտահրավերները:

Հետազոտության առարկան: Ստատիկ կամայական ընտրությամբ հիշասարքերում արագագործության բարձրացման գրանցման և ընթերցման գործողությունների միաժամանակ կրճատմանն ուղղված նախագծման մեթոդները,

սխեմատեխնիկական լուծումները, ֆիզիկական նախագծման եղանակները, գործընթացները և դրանց ստուգման միջոցները:

Աշխատանքի նպատակը: Ստատիկ կամայական ընտրությամբ հիշասարքերի հիմնական պարամետրերի թույլատրելի կորուստների հաշվին՝ դրանց արագագործության՝ գրանցման և ընթերցման գործողությունների հապաղումների նվազարկման մեթոդների մշակումը:

Հետազոտության մեթոդները: Ատենախոսության կատարման ընթացքում կիրառվել են թվային և էլեկտրական շղթաների տեսությունները, օբյեկտակողմնորոշված եղանակով ծրագրային ապահովման կազմակերպման մեթոդները, տրամաբանական և սխեմատեխնիկական մակարդակների լեզուներով նկարագրման, էլեկտրոնային սխեմաների մոդելավորման, մաթեմատիկական վերլուծության, ինտեգրալ սխեմաների սխեմատեխնիկական և ֆիզիկական նախագծման եղանակները:

Գիտական նորույթը:

- Մշակվել է ստատիկ կամայական ընտրությամբ հիշասարքի բաղադրիչ սխեմաների նախագծման նոր մոտեցում՝ գրանցման և ընթերցման հապաղումների միաժամանակ կրճատման նպատակով, որը, ի տարբերություն ժամանակակից միջոցների, ապահովում է հիշասարքի արագագործության աճ 18-32%-ով:
- Բազմակի սնուցման դողերի, արագագործ նախալիցքավորման սխեմայի օգտագործման մեթոդների համատեղ կիրառման համար մշակվել է նաև ինքնաժամանակաչափ սխեմա: Այս մեթոդների համակցումը, կիսահաղորդչային բյուրեղի վրա ՍԿԸՀ-ի զբաղեցրած մակերեսի թույլատրելի աճի պարագայում, ապահովում է հիշասարքի գրանցման և ընթերցման ժամանակների զգալի նվազեցում:
- Մշակվել են համաձայնեցման հատուկ սխեմաների կառուցվածքներ, որոնք, ավանդական մոտեցման համեմատ, նվազեցում են կիսահաղորդչային բյուրեղի վրա զբաղեցվող մակերեսի օգտագործումը 10%-ով՝ հապաղման բլոկների քանակների կրճատման հաշվին:
- Կառուցվել է նոր ճարտարապետությամբ ՍԿԸՀ-ի սխեմա, որն ապահովում է բարձր արդյունավետություն՝ ըստ արագագործության, և թույլ է տալիս ղեկավարել

բջիջների սնուցումները գործողությունների ընթացքում:

Պաշտպանության են ներկայացվում հետևյալ դրույթները:

1. ՍԿԸՀ-ի գրանցման և ընթերցման հապաղումների միաժամանակ նվազարկման եղանակը.
2. ՍԿԸՀ-ի հիշողության զանգվածի համար տարրական բջիջում սնուցման դողերը ղեկավարվող տրանզիստորների քանակի ընտրության եղանակը.
3. Գրանցման և ընթերցման գործողությունները համաձայնեցնող ինքնաժամանակաչափ սխեմայի կառուցվածքը.
4. Արագագործ ստատիկ կամայական ընտրությամբ հիշասարքի ճարտարապետությունը.
5. Ատատիկ կամայական ընտրությամբ հիշասարքերի մշակման «Memory Timing Compiler» ծրագրային գործիքը:

Աշխատանքի գործնական արժեքը: 16նմ-անոց տեխնոլոգիական գործընթացի համար առաջարկված մեթոդների կիրառմամբ մշակվել է ստատիկ կամայական ընտրությամբ հիշասարք, որի հիմնական պարամետրերը էապես գերազանցում են ժամանակակից շուկայում առկա հիշասարքերին:

Ատենախոսությունում ներկայացված հիշասարքի արագագործության բարձրացման եղանակները և մշակված սխեմաները առկա նախագծման երթուղիներում արդյունավետ կիրառելու նպատակով՝ մշակվել է «Memory Timing Compiler» ծրագրային գործիքը: Այն ներդրված է «ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» (Հայաստան) ընկերությունում և կիրառվում է բազմապիսի հիշողության սարքերի նախագծման երթուղիներում:

Տարբեր ՍԿԸՀ-ների նախագծման փորձարկմամբ ներկայացվել է ծրագրային միջոցի արդյունավետությունը՝ առկա միջոցների համեմատ: Փորձնականորեն նախագծված 43 հիշասարքերի դեպքում, դրանց կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ընդամենը մոտ 5-14%-ով և սխեմաների էներգասպառուման մոտ 4-23%-ով կորստի պարագայում, գրանցման և ընթերցման հապաղումները համապատասխանաբար կրճատվել են մոտավորապես 20% և 32%-ով: Այդ ծրագրային գործիքին տալով հիշողության թարգմանիչ, որը պարունակում է ՍԿԸՀ-ի բաղադրիչ

սխեմաների ճարտարապետության նկարագրությունը, կարելի է կառուցել նույն ՍԿԸՀ-ի օգտագործողի կողմից մուտքագրված սահմանափակումներից կախված բազում հիշասարքեր: Ստացված հիշասարքերում ավտոմատ կերպով իրագործվում են մշակված մեթոդների սխեմատիկական և ֆիզիկական լուծումները: Ծրագրային միջոցի ելքում արտածվում են ՍԿԸՀ-ների նախագծերի ներկայացման համար լայնորեն տարածված հիմնական տվյալները՝ բնագավառում օգտագործվող ստանդարտ ֆայլային ձևաչափերով: Ծրագիրը մշակվել է Perl, Python, Shell և C++ լեզուների կիրառմամբ:

Գիտական դրույթների հավաստիությունը: հաստատվում է առաջարկված մեթոդների կիրառմամբ ստեղծված ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման «MTC» ծրագրային գործիքով կառուցված ՍԿԸՀ-ների հիմնական պարամետրեիջ՝ համապատասխանության մեծ աստիճանով հայտնի ծրագրային միջոցներով նախագծված նմանատիպ սխեմաների համանուն ցուցանիշների հետ:

Ներդրումը: «Memory Timing Compiler» ծրագրային գործիքը ներդրված է «ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ»-ում: Այն օգտագործվում է ՍԿԸՀ-ների նախագծման գործընթացում՝ դրանց արագագործության բարձրացման նպատակով: «Memory Timing Compiler» ծրագրի օգտագործմամբ նախագծված ՍԿԸՀ-ները մի շարք իրական ինտեգրալ սխեմաների մաս են կազմում:

Աշխատանքի փորձարկումը: Ատենախոսության հիմնական գիտական և գործնական արդյունքները զեկուցվել են՝

- 37-րդ միջազգային «Electronics and Nanotechnology (ELNANO)» գիտաժողովում (Կիև, Ուկրաինա, 2017թ.);
- 11-րդ միջազգային «Semiconductor Micro- and Nanoelectronics» գիտաժողովում (Երևան, Հայաստան, 2017թ.);
- ՀԱՊՀ «Միկրոէլեկտրոնային սխեմաներ և համակարգեր» միջֆակուլտետային ամբիոնի գիտական սեմինարներում (Երևան, Հայաստան, 2015-2018թթ.);

Հրատարակումներ: Ատենախոսության հիմնական դրույթները հրատարակված են հեղինակի՝ գրականության ցանկում բերված 5 գիտական աշխատանքներում:

Ատենախոսության կառուցվածքը և ծավալը: Ատենախոսությունը բաղկացած է 3 գլուխներից, եզրահանգումից, 110 անուն գրականության ցանկից և 7 հավելվածներից: 1-ին հավելվածում բերված են ատենախոսության ներդրման ակտերը, 2-րդում՝ մշակված ծրագրային գործիքի C++ կոդի որոշ հատվածը, 3-րդում՝ մշակված ծրագրային գործիքի Perl, Python և Shell կոդի որոշ հատվածը, 4-րդում՝ մշակված ստատիկ կամայական ընտրությամբ հիշասարքերից մեկի նախագծի պարունակությունը, 5-րդում՝ ատենախոսությունում օգտագործված նկարների ցանկը, 6-րդում՝ աղյուսակների ցանկը, 7-րդում՝ ատենախոսությունում օգտագործված հապավումների ցանկը: Հիմնական տեքստը կազմում է 119 էջ, որում ընդգրկված են 68 նկար և 11 աղյուսակ: Աշխատանքի ընդհանուր ծավալը, հավելվածների հետ միասին, կազմում է 149 էջ:

ԳԼՈՒԽ 1. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ
ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ
ՄՇԱԿՄԱՆ ԸՆԴՀԱՆՈՒՐ ՀԱՐՑԵՐԸ

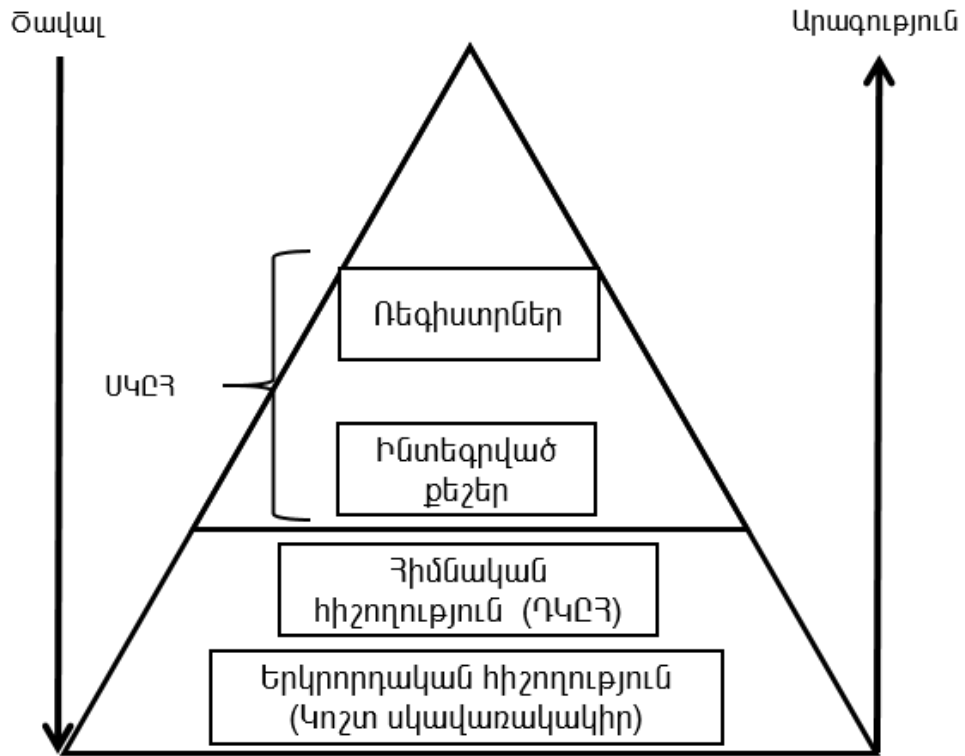
1.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման անհրաժեշտությունը

1.1.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման անհրաժեշտությունը

Տասնամյակների ընթացքում, պրոցեսորների զարգացման հետ միասին, մեծացել է արագագործության խզումը պրոցեսորների և հիշասարքերի միջև, ինչի հետևանքով հիշասարքերը ներկառուցվել են պրոցեսորի ճարտարապետության մեջ: Պրոցեսորների համար իդեալական կարող է լինել իրենց կազմում անսահմանափակ ծավալով և առանց ընտրման հապաղման հիշասարքերի առկայությունը: Սակայն մեծ ծավալով և բարձր արագագործությամբ հիշասարքի իրականացումն անհրաժեշտ է, ինչը պայմանավորված է էլեկտրական շղթաների ֆիզիկական սահմանափակումներով: Հետևաբար, ծավալը սովորաբար հակադարձ համեմատական է հիշասարքի աշխատանքային արագությանը: Օրինակ, ՍԿԸՀ-երով իրագործված քեշ տիպի հիշասարքերը, որոնք ինտեգրված են պրոցեսորների մեջ, ունակ են գործելու այնքան արագ, որքան պրոցեսորի միջուկները, սակայն ունենում են մի քանի Կբ հիշողության ծավալ, մինչդեռ ինտեգրալ սխեմաներում (ԻՍ) չինտեգրված դինամիկ կամայական ընտրությամբ հիշասարքերը (ԴԿԸՀ) ունակ են պահպանելու մի քանի Գբ-ի հասնող տեղեկատվություն, չնայած դրանց աշխատանքային հաճախականությունները մոտ են հարյուրավոր ՄՀց-երի: Ներկայումս ՍԿԸՀ-ներն օգտագործվում են ներկառուցված հիշողության համակարգերում [1]՝ գրանցման ֆայլերի [2] և քեշ տիպի հիշողությունների [3-4] համար (նկ. 1.1) [5]:

Դրանց գերակայության հիմնական պատճառներն են.

- ՍԿԸՀ-ն ի վիճակի է ապահովելու ամենաարդյունավետ ընտրման արագությունը:
- ՍԿԸՀ-ն հնարավորություն է տալիս աննկատ ինտեգրում տրամաբանական շղթաների հետ՝ շնորհիվ գործընթացի և աշխատանքային լարման V_{DD} (Վ) համատեղելիության:



Նկ. 1.1. Հիշողության համակարգում ՍԿԸՀ-ի դիրքը

Բացի այդ, ՍԿԸՀ-ն լանորեն կիրառվում է կրկնիչ և ռեգիստրային հիշասարքերի համար ԻՍ-ում, որը պահանջում է, որ հիշողության թարգմանիչը արտաձի լայն թվով ՍԿԸՀ-ներ, որոնք կունենան տարբեր բիթերի, բառերի, դիմելու մատույցների և բանկերի կոնֆիգուրացիաներ: Համեմատած այլ հիշասարքերի հետ՝ ՍԿԸՀ-ն կարող է ապահովել թարգմանիչ՝ բջջային հիշողության զանգվածի ավելի բարձր արդյունավետությամբ: Կենտրոնական մշակիչ հանգույցի (ԿՄՀ) [6, 7] միջուկներն ինտեգրվում են մեկ ԻՍ-ի մեջ և ԻՍ-ի վրա ինտեգրված ՍԿԸՀ-ի պահանջարկը դառնում է ավելի բարձր՝ ապահովելու համար բավարար տվյալների հոսք, հիշողության ծավալների աճող պահանջարկ և թողունակություն: ՍԿԸՀ-ի զբաղեցրած մակերեսը կիսահաղորդչային բյուրեղի վրա, կազմում է ԻՍ-ի առավել, քան 70%-ը [8]: Արդյունքում ՍԿԸՀ-ի զբաղեցրած մակերեսը, արագագործությունը և էներգասպառումը դարձել են

հիմնական գործոններ առաջանցիկ ԻՍ-երի նախագծման համար: Մարտկոցով աշխատող բջջային հեռախոսների և ձեռքի հավելվածների համար, որտեղ պահանջվող մարտկոցի չափսը/քաշը և կյանքի որոշակի տևողությունը կախված են էներգասպառումից, հատկապես կարևոր է ՍԿԸՀ-ի էներգասպառման խնայումը: ՍԿԸՀ-ի տարրական հիշողության բջջի չափսերի մասշտաբավորումը նույնպես կարևոր է դառնում, ոչ միայն բյուրեղի վրա մակերեսի խնայման, այլև աճող բիթերի խտության տեսանկյունից: Մյուս կողմից՝ տրանզիստորի և ՍԿԸՀ-ի տարրական բջջի չափերի կրճատումը, որը պայմանավորված է տեխնոլոգիական գործընթացի մասշտաբավորմամբ, նույնպես ավելի դժվար է դարձնում բջջի բավարար կայունության պաշարի պահպանումը, մինչև ժամանակ պահելով դիմման ժամանակի և բջջի չափերի մասշտաբավորման նույն տեմպերը: Գրանցման և ընթերցման բավարար կայունության պաշար պահպանելու համար բջջի ծախսած հոսանքը դարձել է մարտահրավեր, քանի որ անհրաժեշտ է նվազեցնել սնման լարումը (V_{DD}) [9-12]՝ ոչ միայն բավարարելու համար հոսանքի խնայման պահանջները, այլև պահպանելու համար տրամաբանական աշխատանքային լարման համատեղելիությունը: Սնման լարման մասշտաբավորումը գրանցման և ընթերցման համար արագորեն դարձել է ամենակարևոր մարտահրավերներից մեկը՝ ՍԿԸՀ-ի կայունության պաշարի հետ ուժեղ կախվածության պատճառով:

1.1.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի կառուցվածքը

Կախված տակտային ազդանշանի օգտագործումից՝ ՍԿԸՀ-ն կարող է ներկայացվել որպես ասինքրոն կամ սինքրոն [13, 14]: Սինքրոն ՍԿԸՀ-ներում բոլոր ներքին ազդանշանները և ժամանակները վերահսկվում են տակտային ազդանշանի ճակատով [15]: Մուտքային տվյալները, հասցեները, ինչպես նաև ղեկավարող ազդանշանները կախված են տակտային ազդանշանից: Մինչդեռ ասինքրոն ՍԿԸՀ-ներն անկախ են տակտային ազդանշանի հաճախությունից: Բոլոր ներքին ազդանշանները փոխանջատվում են՝ կախված հասցեների անցումներից: Ասինքրոն ՍԿԸՀ-ի հիշողության ծավալը տատանվում է 4Կբ-ից մինչև 64Մբ [16]: ՍԿԸՀ-ների

գործողությունները կարող են բաժանվել 3 մասի՝ սպասման ռեժիմ, ընթերցման ռեժիմ և գրանցման ռեժիմ

Սպասման ռեժիմ

Այս գործողության ընթացքում [17] ՍԿԸՀ-ի հիշողության զանգվածի բառի գիծը ակտիվացված չէ: Հետևաբար՝ հասցեների ու տվյալների գծերը պահվում են առանձնացված ՍԿԸՀ-ի հիշողության զանգվածում տեղակայված տարրական հիշողության բջիջներում: Այդպիսով, բջիջները պահպանում են իրենց մեջ գրանցված տվյալները: Հզորության ցրումը այս ռեժիմում ամենացածրն է:

Ընթերցման ռեժիմ

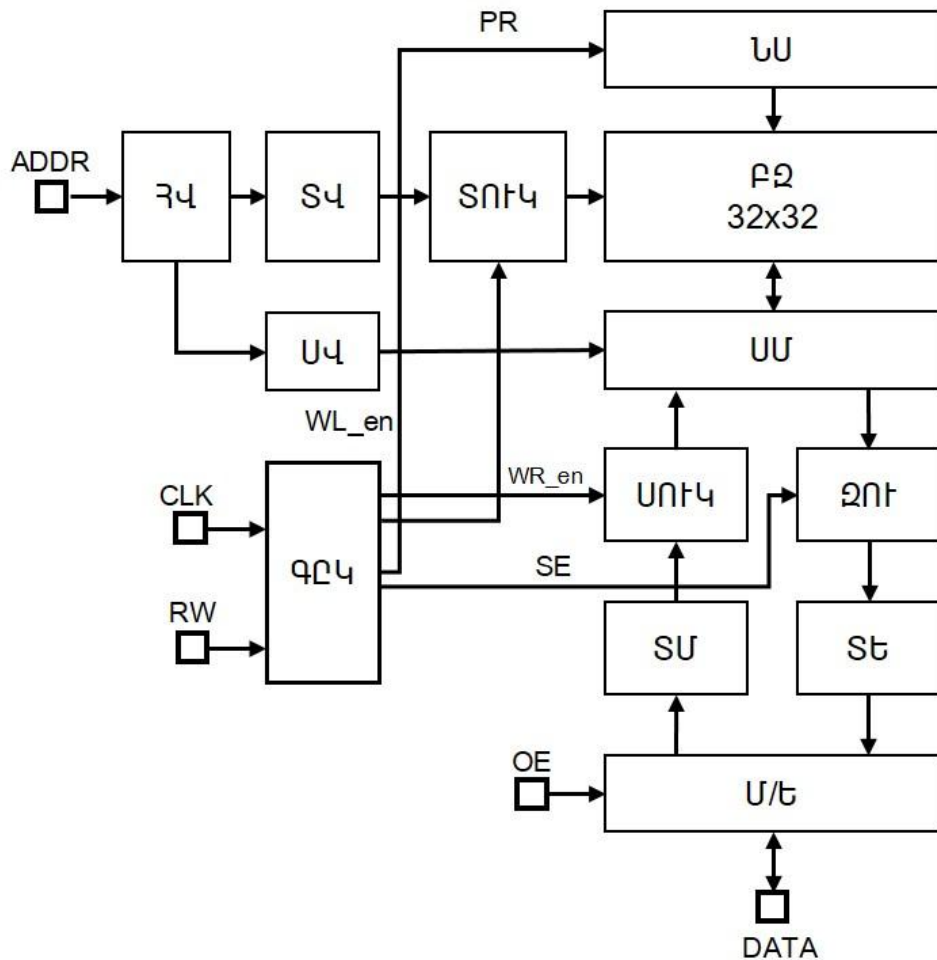
Բջջում նախապես գրված տրամաբանական «1» կամ «0» տվյալն ընթերցելու համար բիթի և ինվերս բիթի գծերը նախալիցքավորվում են, ապա ակտիվացվում է բառի գիծը, և ըստ մուտքային հասցեների՝ բիթի գծերից մեկը սկսում է լիցքաթափվել բջջի միջոցով [18]: Զգայուն ուժեղարարը հայտնաբերում է բիթի և ինվերս բիթի գծերի միջև պոտենցիալների տարբերությունը և ուղղարկում է համապատասխան ազդանշանը դեպի ելքային հանգույց: Որքան բարձր է զգայուն ուժեղարարի զգայունությունը, ադքան փոքր է ընթերցման հասանելիության ժամանակը:

Գրանցման ռեժիմ

Գրանցման գործողությունը սկսվում է տվյալների մուտքագրման կիրառմամբ: Տրամաբանական «1» գրանցման համար բիթի և ինվերս բիթի գծերը համապատասխանաբար լիցքավորվում և լիցքաթափվում են, և ակտիվացնելով բառի գիծը՝ տրված մուտքային տվյալը գրանցվում է ՍԿԸՀ-ի բջջի մեջ [19]:

Այսպիսով, հիշողության բջջի բաղկացուցիչ մասերի ճշգրիտ չափերի որոշումը պետք է կիրառվի անսխալ՝ գրանցման և ընթերցման համար, ինչպես նաև ստատիկ աղմկակայունության պաշարը (ՍԱՊ) պետք է բավականաչափ մեծ արժեք ունենա այնպես, որ սպասման ռեժիմում հիշողության բջջում աղմուկի պատճառով տվյալները չփոխվեն: ՍԿԸՀ-ն բաղկացած է հետևյալ բլոկերից՝ հիշողության բջիջներից կազմված զանգված (ՀԶ), զգայուն ուժեղարար (ԶՈԻ) [20], սյան մուլտիպլեքսոր (ՍՄ), հասցեի վերծանիչ (ՀՎ), սյան վերծանիչ (ՍՎ) [21], հասցեին տրիգեր (ՀՏ), տողի վերծանիչ (ՏՎ) [22], մուտք/ելք սխեմա (Մ/Ե) [23], ընթերցման-գրանցման (ԸԳԿ) կառավարող սխեմա

և նախալիցքավորման սխեմա (ՆՍ) [24], տողի և սյան ուժեղացնող կրկնիչ (ՏՈՒԿ, ՍՈՒԿ) [25] (նկ. 1.2) [26]:



Նկ. 1.2. 1-4F ՄԿԸՀ-ի վրա հիմնված հիշողության բլոկի դիագրամը

ՄԿԸՀ բջիջների զանգվածը

Մինչև նախագծման մեկնարկը՝ հիշողության զանգվածի չափսի և կողմնորոշման դիտարկումը ամենակարևոր հարցերից մեկն է [27]: Հատուկ աշխատանքային հաճախությամբ աշխատող մեծ հիշողության ծավալով հիշասարքերի նախագծման համար անհրաժեշտ է նախ մշակել հիշողության փոքր բլոկները, որոնք բավարարում են հաճախականության պահանջը: Նման փոքր բլոկների բազմակի օգտագործումը կապահովի ավելի մեծ հիշողության ունակությամբ հիշասարքեր: Զանգվածի չափսը, որը կներկայացնի տողերի և սյուների քանակը, կաշխատի որոշակի առավելագույն հաճախությամբ [28]: Արագագործության բարձրացման նպատակով հնարավոր կլինի նվազեցնել զանգվածի չափսը, ինչը կապահովի ավելի փոքր հապաղում: Նախագծման ընթացքում պետք է հաշվի առնել ոչ միայն

արագագործությունը, որը որոշում է տողերի և սյուների քանակը հիշողության զանգվածում, այլև պետք է դիտարկել կողմերի հարաբերակցությունը: Տողերի և սյուների քանակի կատարյալ հարաբերակցությունը կունենա քառակուսային տեսք [29]: Տարրական բջիջներից կառուցված 8-բիթանոց ՍԿԸՀ-ն կունենա 1Կբ հիշողության ծավալով բլոկ, իսկ զանգվածը՝ 128x8 կողմերի հարաբերակցություն: Այդպիսի հարաբերակցության կիրառումը գործնական տեսանկյունից այնքան էլ արդյունավետ չէ, քանի որ բիթի գծի ունակությունն աճում է բիթի գծի երկարության աճին զուգնթաց, այսինքն՝ ունենալով բիթի երկար գիծ, կավելանա բիթի գծի ունակությունը [30]: Հետևաբար՝ ավելի արդյունավետ է 128 տողերից և 8 սյուներից հիշողության բլոկը բաժանել 4 մասի, օգտագործելով 4:1 մուլտիպլեքսոր:

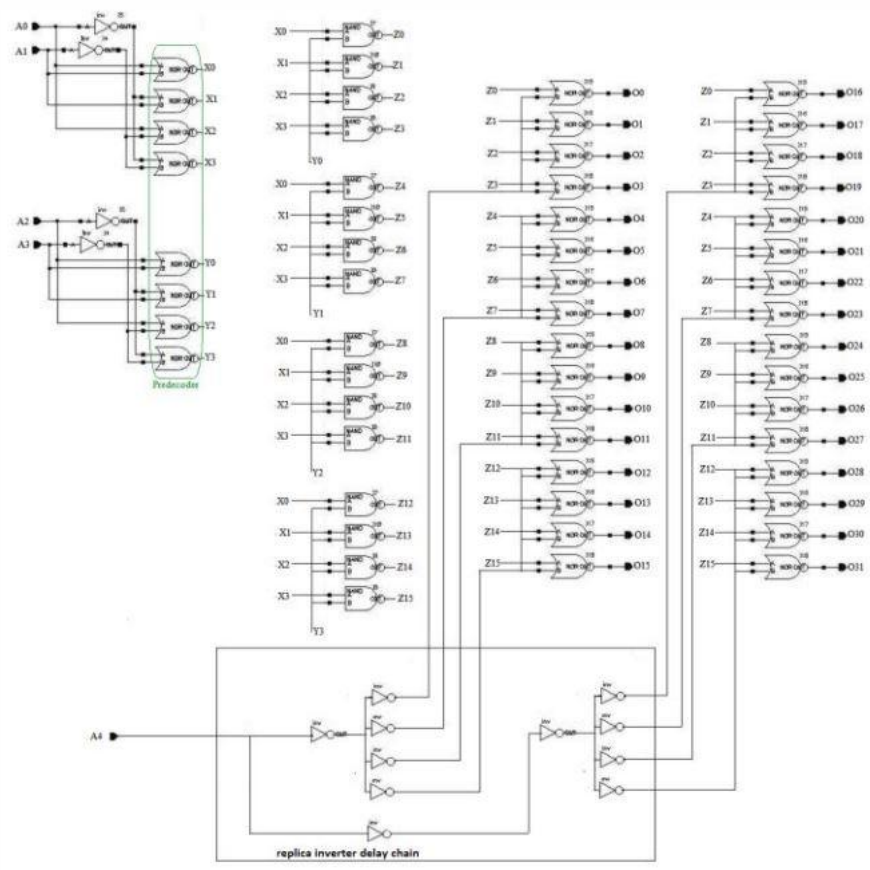
Վերծանիչ

Ամեն անգամ, երբ հիշասարքը թույլ է տալիս պատահական հասցեներով մուտք, պահանջվում է ունենալ հասցեների վերծանիչ: Այդ վերծանիչների նախագծումը զգալի ազդեցություն է ունենում ՍԿԸՀ-ի արագագործության և հզորության ծախսի վրա: Վերծանիչի արագությունը սահմանվում է միայն մեկ անցումով, հետևաբար՝ կարելի է դիտարկել շղթայի հետևյալ իրականացումը:

Դինամիկ տրամաբանությունն առաջարկում է ավելի լավ տարբերակ: Առաջին լուծման դեպքում առաջարկվում է օգտագործել 2:4 վերծանիչ: Նույն կառուցվածքը կարող է օգտագործվել նաև 32x32 հիշողության զանգված կառուցելու համար, օգտագործելով 5:32 վերծանիչ (նկ. 1.3) [31]:

Զգայուն ուժեղարար

Հիշողության սխեմայում կարևոր դեր է խաղում զգայուն ուժեղարարը [32-35]: Այն իրականացնում է գործառույթներ, ինչպիսիք են՝ ուժեղացում, ազդանշանի վերականգնում, հապաղման և ծախսվող հզորության նվազեցում: Դիֆերենցյալ ուժեղարարը, կախված մուտքային ազդանշանների տարբերությունից, թողարկում է մեկ ելքային ազդանշան (նկ. 1.4) [36]: Հիշողության բջիջները տալիս են դիֆերենցյալ ելք, հետևաբար՝ այս շղթայի օգտագործումը ուղղակիորեն կիրառելի է ՍԿԸՀ-ներում: Զգայուն ուժեղարարի մուտքերն են բիթի և ինվերս բիթի գծերը:

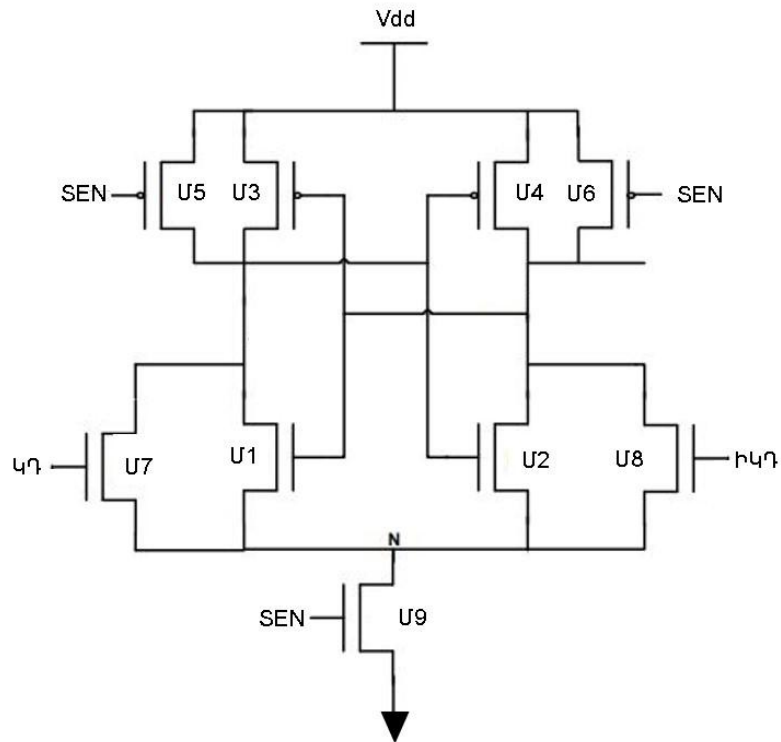


Նկ. 1.3. Վերծանիչի կառուցվածքը

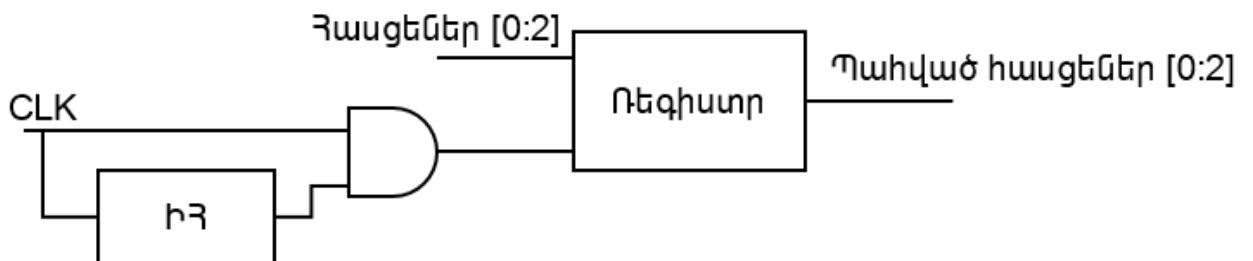
Մ1 և Մ2 դիֆերենցյալ մուտքի տրանզիստորներն են, մինչդեռ Մ3 և Մ4 տրանզիստորները գործում են որպես ակտիվ հոսանքի հայելի: Շղթան ղեկավարելու համար պատասխանատու է SE ազդանշանը: Երբ SE-ն ունի ցածր լարման մակարդակ, ապա բիթի գծերը նախալիցքավորված են և հավասարեցված: Ընթերցման գործողության ընթացքում բիթի գծերից մեկը հողանցվում է: Ակտիվացնող SE ազդանշանն անհրաժեշտ է, որ միացված լինի միայն այն դեպքում, երբ բիթի գծերի միջև հաստատվի բավարար լարման տարբերությունը:

Հասցեի տրիգերը

Հասցեի տրիգերն օգտագործվում է՝ պահելու համար հասցեները՝ նախքան հասցեների գծի վրա գրանցման կամ ընթերցման գործողության սկիզբը (նկ. 1.5) [37, 38]: Եթե կա որևէ խանգարում հասցեների գծի վրա ընթերցման գործողությունը սկսվելուց հետո, ապա այն ազդեցություն չի ունենա ընթերցման ցիկի վրա: Հասցեի տրիգերը ներառում է ինվերսված հապաղման բլոկ (ԻՀ), ԵՎ փական և ռեգիստր:



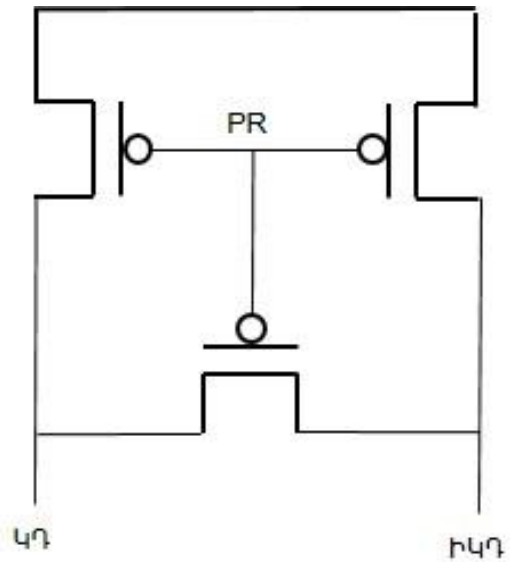
Նկ. 1.4. Դիֆերենցիալ զգայուն ուժեղարարի կառուցվածքը



Նկ. 1.5. Հասցեի տրիգերի կառուցվածքը

Նախալիցքավորման շղթա

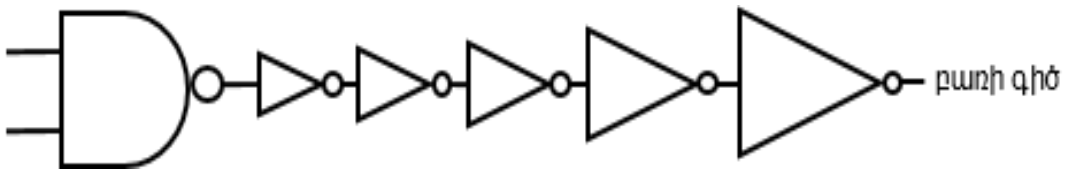
Այս շղթան հարկավոր է բիթի գծերը մինչև սնուցման լարման մակարդակ (V_{DD}) լիցքավորման համար [39]: Գործողությունն անհրաժեշտաբար կատարվում է յուրաքանչյուր գրանցման և ընթերցման ցիկլից առաջ: Բիթի գծերի մեծ ունակության պատճառով նախալիցքավորման շղթան անհրաժեշտ է, որ ապահովի մեծ հոսանք բիթի գծերին, որպեսզի լիցքավորման գործընթացն արագ կայանա: Ուստի, այս սխեմայում օգտագործվող տրանզիստորները պետք է ունենան մեծ չափսեր (նկ. 1.6) [40]: Ակտիվացնող ազդանշանին (PR) տալով տրամաբանական ցածր արժեք, բիթի գծերը կլիցքավորվեն, հակառակ դեպքում, PR-ին տալով տրամաբանական ցածր մակարդակ, բիթի գծերը կկտրվեն:



Նկ. 1.6. Նախալիցքավորման շղթայի կառուցվածքը

Տողի ղեկավարիչ / տողի և սյան ուժեղացնող կրկնիչը (ՏՈԽԿ)

Տողի ղեկավարիչը տեղակայվում է տողի վերձանիչի և հիշողության զանգվածի միջև [41]: Բառի գծի մեծ ունակության պատճառով վերձանիչի ելքը չի կարող պատշաճ կերպով ղեկավարել այն, ինչի հետևանքով հապաղումն ավելանում է: Հետևապես՝ խնդրի հաղթահարման համար տողի ղեկավարիչում օգտագործվում են «ԵՎ» փականը և կենտ թվով շրջիչներ: Յուրաքանչյուր շրջիչի արդյունավետ բեռնվածության ունակությունը սահմանվում է 2,71828 [42]: Մեծ ունակությամբ բառի գծերի ղեկավարման համար անհրաժեշտ է ունենալ մեծ տրանզիստորներ և հետևաբար՝ յուրաքանչյուր հաջորդող շրջիչի չափսերը մեծանում են: Ղեկավարիչի մուտքը հանդիսանում է վերձանիչի ելքը, իսկ ելքը՝ բառի գիծը ակտիվացնող ազդանշանը (WL) (նկ. 1.7) [42]:



Նկ. 1.7. Տողի ղեկավարիչի ներկայացումը

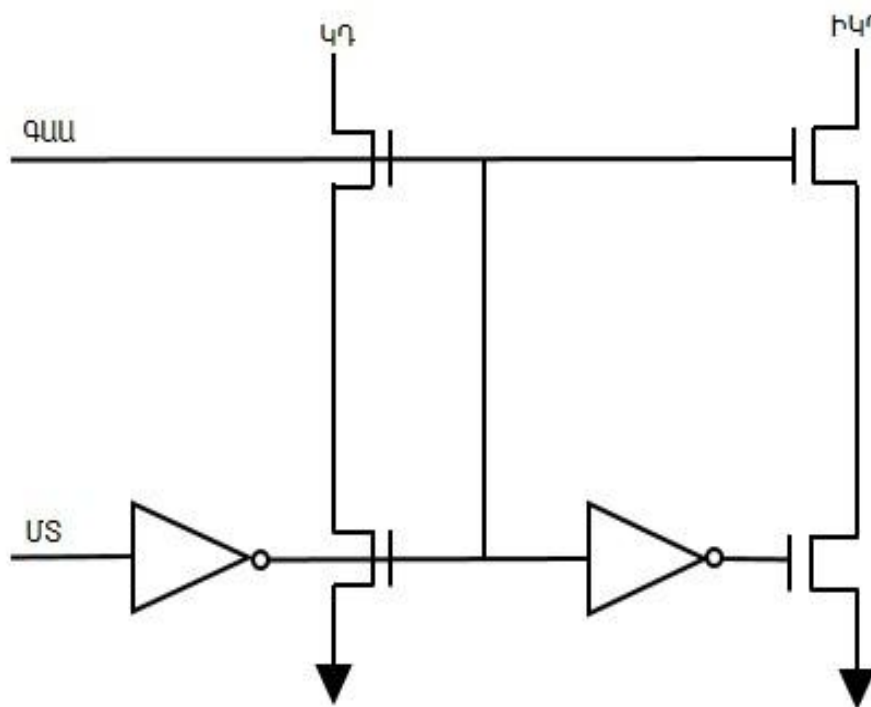
Գրանցման ղեկավարիչը

Գրանցման ցիկլում ի սկզբանե կարգային և ինվերս կարգային դողերը (ԿԴ,ԻԿԴ) լիցքավորվում են մինչև սնման լարման արժեքը (V_{DD}) [43,44]: Ըստ

մուտքային տվյալների (US)՝ գծերի վրա գրանցված տվյալների ԿԴ-ն կամ ԻԿԴ-ն ընտրվում են հողանցման համար:

Եթե անհրաժեշտ է բջջում գրանցել տրամաբանական «1»-ը, ապա ԿԴ-ն լիցքավորվում է մինչև V_{DD} , մինչդեռ ԻԿԴ-ն հողանցվում է և հակառակը՝ տրամաբանական «0»-ն գրանցելու համար:

Գրանցման ակտիվացման ազդանշանը (ԳԱԱ) հաստատվելուց հետո բջջում տվյալների գրանցման համար ակտիվացվում է բառի գիծը: Բիթի գծերը մինչև V_{DD} վերալիցքավորելու կամ հողանցելու համար ժամանակ է պահանջվում, հետևաբար՝ ծախսվող ժամանակը նվազագույնի հասցնելու համար անհրաժեշտ է լինում օգտագործել գրանցման ղեկավարիչը (նկ. 1.8) [45]: Այն հողանցում է կարգային դողերը՝ կախված մուտքային տվյալներից: Բաղկացուցիչ տրանզիստորների չափսերը մեծ են ընտրվում, քանի որ դրանք պետք է կարգավորեն մեծ հոսանք:



Նկ. 1.8. Գրանցման ղեկավարիչի կառուցվածքը

Ընթերցման-գրանցման (ԸԳԿ) կառավարող սխեման

Կառավարող բլոկն առաջացնում է հետևյալ ազդանշանները՝ զգայուն ուժեղարարի թույլատրող ազդանշան (SE), բառի գիծը ակտիվացնող (WL_EN), գրանցման թույլատրման (WR_EN), նախալիցքավորման թույլատրման (PR) և սյուն ակտիվացնող (CL_EN)՝ օգտագործելով ավիք գեներացնող սխեման:

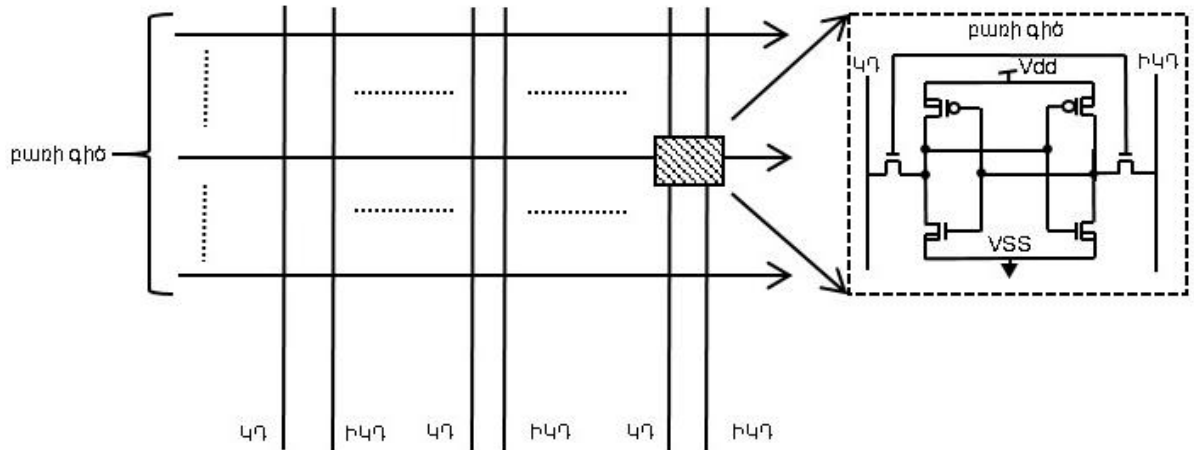
Սյան մուլտիպլեքսորը

14ր հիշողության ծավալով 8-բիթանոց ՍԿԸՀ-ի հմար, որի զանգվածի չափսը 32x 32 է, անհրաժեշտ է օգտագործել 4:1 սյան մուլտիպլեքսոր, որը կընտրի 32 բիթերի գծերից 8-ը: Անհրաժեշտ է, որ վերծանիչն ընտրի մուլտիպլեքսորի ընտրման գծերից մեկը: Այս դեպքում ցանկալի է նախագծել 4:1 մուլտիպլեքսոր՝ օգտագործելով փոխանցման փականի տրամաբանությունը [46]: ՆՄՕԿ թողարկող տրանզիստորի տրամաբանությունը շատ լավ է աշխատում գրանցման ցիկլի ընթացքում, քանի որ բիթի գծերից մեկը հողանցվում է, իսկ ՆՄՕԿ-ը փոխանցում է ուժեղ «0»: Ընթերցման ցիկլի ժամանակ զգայուն ուժեղարարը միացված է մուլտիպլեքսորից հետո: Այն պատճառով, որ ՆՄՕԿ-ը փոխանցում է թույլ «1», զգայուն ուժեղարարը չի կարողանում հայտնաբերել բիթի գծերի լարումների տարբերությունն այնքան ժամանակ, քանի դեռ այդ տարբերությունը չի անցնում շեմային լաուման արժեքը [47]: Այսպիսով, հապաղման կրճատման համար նպատակահարմար է օգտագործել փոխանցման փականի տրամաբանությամբ մուլտիպլեքսոր:

1.1.3. Ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծումը

Ստատիկ կամայական ընտրությամբ հիշասարքերի բաղկացուցիչ տարրերը զետեղված են զանգվածի մեջ, որը բաղկացած է տողերից և սյուններից: Յուրաքանչյուր տարրական բջիջից կազմված տող ունի ընդհանուր բառի գիծ, մինչդեռ յուրաքանչյուր սյուն՝ կազմված տարրական բջիջներից, ունի ընդհանուր բիթի գիծ (նկ. 1.9) [48]: Հիշողության զանգվածի սյուների քանակը հայտնի է որպես յուրաքանչյուր բառի բիթի լայնություն, և կախված բիթի գծի (Մ) և բիթի լայնության (Ն) հարաբերակցությունից՝ բիթի գծերը բազմապատկվում են բիթի լայնությամբ Մ•Ն, այսինքն՝ ունենալով 64 բիթ տվյալ (Մ) դուրս են բերվում 8-ը 1-ի մուլտիպլեքսորով 512 բիթի գծերի զույգերով (Ն) [49]: Այս ճարտարապետությունն ունակ է պարզեցնելու զգայուն ուժեղարարի ֆիզիկական նախագիծը: Հիշողության զանգվածը, իր հերթին, բաղկացած է տարրական բջիջներից, ունակ են պահպանելու 1 բիթ տեղեկույթ և կազմված են իրար խաչաձև միացված երկու շրջիչներից և 2 բանալիներից: Շրջիչներն իրար խաչաձև միացված են այնպես, որ առաջին շրջիչի ելքը միացված է երկրորդի մուտքին և

հակառակը: Կոմպլեմենտար մետաղ-օքսիդ կիսահաղորդիչ խաչաձև շրջիչներն ունակ են պահպանելու տրամաբանական «0» կամ «1» վիճակը, քանի դեռ ՍԿԸՀ-ն սնուցվում է և որպես արդյունք՝ չունի տվյալների թարմացման կարիք՝ տվյալները պահպանելու համար իր ցիկլի ժամանակը կրճատելով, ինչպես իրականացված է ԴԿԸՀ-ներում, որտեղ պահանջվում է պարբերաբար թարմացում [50]:



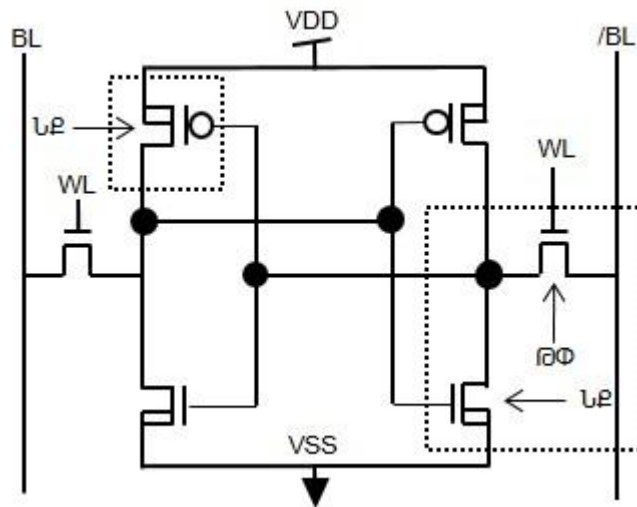
Նկ. 1.9. Հիշողության զանգվածի կառուցվածքը

Սակայն, քանի որ ՍԿԸՀ-ի հիշողության բջիջը բաղկացած է ավելի մեծ թվով տրանզիստորներից, կոնտակտներից և միջմիացումներից, քան ԴԿԸՀ-ն, հետևաբար՝ այն ավելի մեծ մակերես է զբաղեցնում ԻՍ-ի վրա, քան ԴԿԸՀ-ն: Տարրական հիշողության բջիջների մակերեսների հարաբերակցությունը կազմում է 1փ5: Տիպական 6 ԿՄՕԿ տրանզիստորներով կառուցված ՍԿԸՀ-ի տարրական բջջի աշխատանքային սկզբունքները նկարագրված են ստորև:

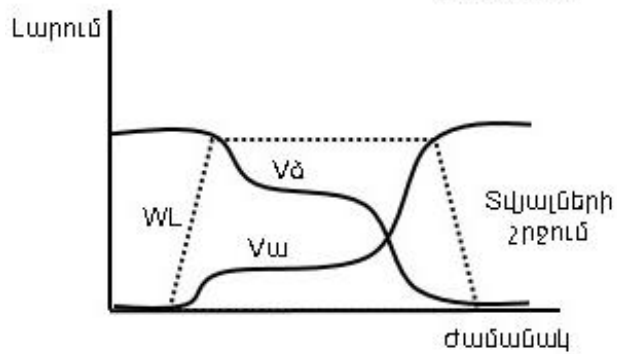
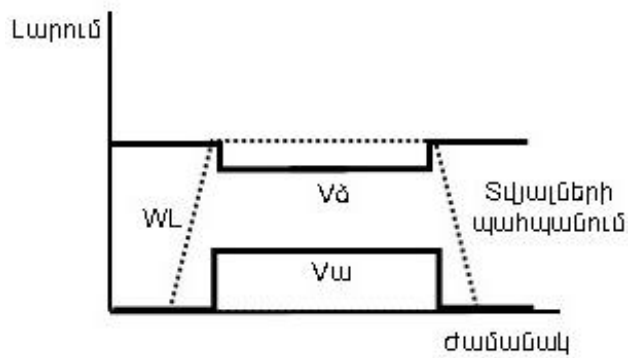
Ընթերցման գործողությունը

Ընթերցման ցիկլը սկսվում է՝ նախապես լիցքավորելով բիթի գծերի զույգը մինչև տրամաբանական «1» մակարդակը՝ V_{DD} , ապա հաստատելով բառի գիծը՝ հնարավորություն է ընձեռվում՝ միացնելու թողանցման փականը (ԹՓ): Երկրորդ քայլը տեղի է ունենում այն ժամանակ, երբ բիթի գծերի զույգի մի կողմը միացված է պահպանման հանգույցի զույգի տրամաբանական ցածր մակարդակին «0» ԹՓ-ի տրանզիստորի միջոցով, և բիթի գծի վրա պահպանված լիցքը տեղափոխվում է դեպի պահեստային հանգույց: Արդյունքում՝ բիթի գծի մակարդակն իջնում է ոչ միայն լիցքի փոխանակման, այլև հաջորդաբար միացված ԹՓ և ներքև քաշող (ՆՔ)

տրանզիստորների միջոցով՝ տրամաբանական «0» մակարդակի՝ V_{SS} լիցքաթափման պատճառով (նկ. 1.10 ա) [51]:



ա)



բ)

Նկ. 1.10. ՍԿԸՀ-ի ընթերցման գործողությունը. ա) բջջի կառուցվածքը բ) տվյալների տեսքը

Ընթերցման գործողության ընթացքում, լիցքաթափման հոսանքը հոսում է բիթի գծից դեպի V_{SS} : Պահեստային հանգույցի տրամաբանական «0» կողմի պոտենցիալը բարձրանում է՝ կախված հաջորդաբար միացված ԹՓ-ի և ՆՔ-ի դեկավարելիության և

դիմադրության հարաբերակցությունից: Եթե այդ լարման մակարդակը գերազանցում է շրջիչի փոխանջատման կետը, ապա պահված տվյալները շրջվում են:

Տվյալների շրջումից խուսափելու համար ԹՓ-ի ղեկավարելիությունը պետք է լինի ավելի թույլ, քան ՆՔ-ինը (նկ. 1.10 բ) [51]: Այս հարաբերակցությամբ ՍԿԸՀ-ի նախագծման առանցքային պարամետրերից մեկն է β -հարաբերակցությունը: Կայուն գրանցման գործողություն ապահովելու համար անհրաժեշտ է մանրակրկիտ լավարկել տրանզիստորների չափերը՝ որոշելու համար պահանջվող β -հարաբերակցությունը: Բիթի գծի մյուս կողմում ԹՓ տրանզիստորը չի միանում այնքան ժամանակ, քանի դեռ բառի գծի և բիթի գծի կամ պահեստային հանգույցի պոտենցիալների տարբերությունը փոքր է, քան ԹՓ շեմային լարումը (1.1) [51].

$$V_{\text{մաքս}} \leq V_{\text{նք2}} \quad (1.1)$$

ԹՓ1-ը գտնվում է հազեցման ռեժիմում, մինչդեռ ՆՔ1-ը՝ գծային ռեժիմում, և հավասարացնելով ընթացիկ հավասարումները՝ ստացվում է .

$$\frac{\beta_{\text{ԹՓ1}}}{2} (V_{\text{սնմ}} - V_{\text{նք1}} - V_{\text{շեմ}})^2 = \frac{\beta_{\text{ՆՔ1}}}{2} (2(V_{\text{սնմ}} - V_{\text{շեմ}})V_{\text{նք1}} - V_{\text{նք1}}^2) \quad (1.2)$$

տեղադրելով (1.1)-ը (1.2)-ի մեջ կստացվի՝

$$\frac{\beta_{\text{ԹՓ1}}}{\beta_{\text{ՆՔ1}}} = \frac{(W/L)_{\text{ԹՓ1}}}{(W/L)_{\text{ՆՔ1}}} \leq 2 * V_{\text{շեմ}} \frac{(V_{\text{սնմ}} - 1.5V_{\text{շեմ}})}{(V_{\text{սնմ}} - 2V_{\text{շեմ}})^2} \quad (1.3)$$

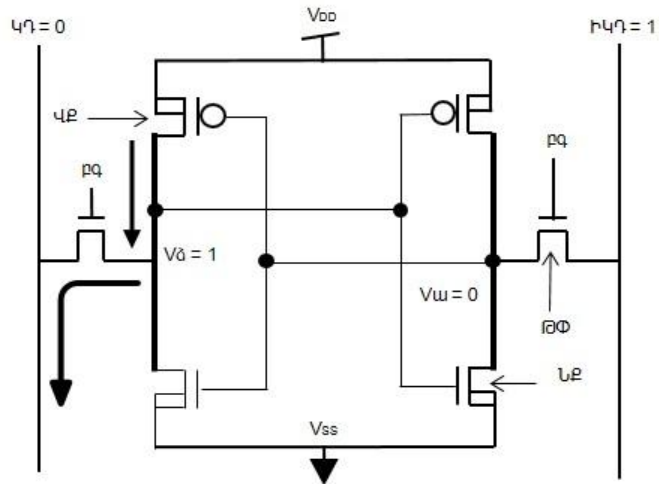
որտեղ $V_{\text{շեմ}}$ -ը՝ տրանզիստորի շեմային լարումն է, $V_{\text{սնմ}}$ -ը՝ տրանզիստորի սնման լարումը, W -ը և L -ը՝ ԹՓ և ՆՔ տրանզիստորների հոսքուղու լայնությունը և երկարությունը:

Այս իմաստով բիթի գծի նախալիցքավորման մակարդակը պետք է լիցքաթափվի այնպես, որ ԹՓ-ն չմիանա: Եթե հիշողության բջջում պարունակվող տվյալները շրջված են, ապա տեղի կունենա հակառակը, բիթի գիծը կլիցքաթափվի նույն ձևով:

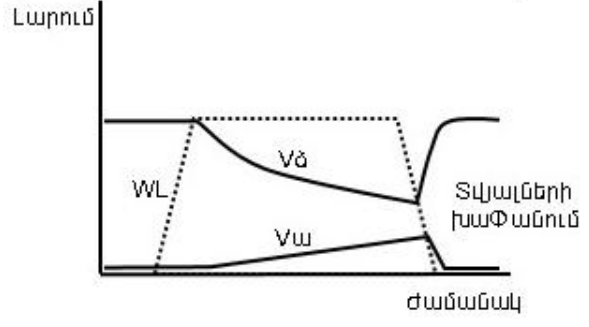
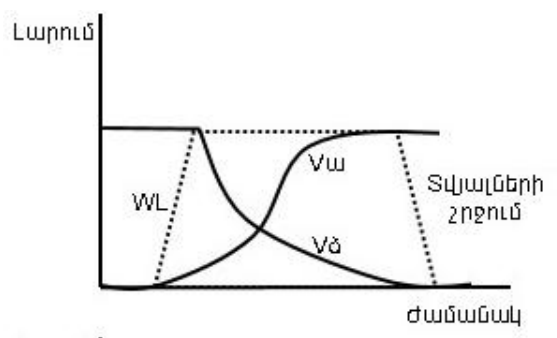
Գրանցման գործողությունը

Գրանցման գործողությունը սկսվում է՝ տանելով բիթի գծերի զույգը դեպի դիֆերենցիալ տրամաբանական մակարդակների «1» և «0»-ն այնպես, որ

համապատասխան տվյալները գրանցվեն պահեստավորման հանգույցների վրա: Հիշողության տարրական բջջի մեջ ինվերս տվյալներ գրանցելու համար անհրաժեշտ կլինի բերել բիթի գծերի զույգը, համեմատած նախորդ վիճակի հետ, դեպի ինվերս դիֆերենցյալ տրամաբանական մակարդակները (նկ. 1.11 ա):



ա)



բ)

Նկ. 1.11. ՍԿԸՀ-ի գրանցման գործողությունը ա) բջջի կառուցվածքը, բ) տվյալների տեսքը

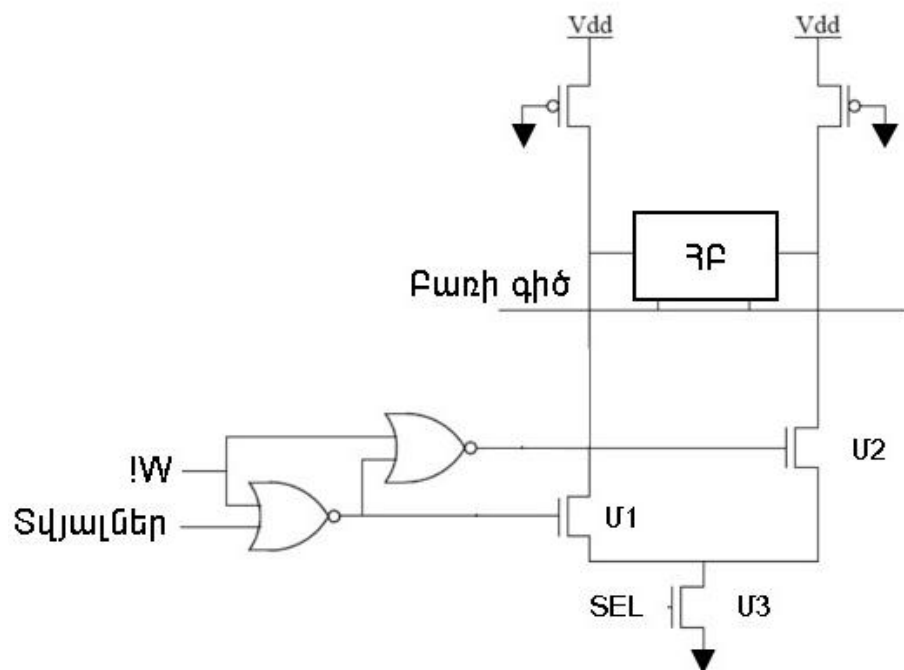
Հաստատելով բառի գիծը, բիթի գծին միացված ԹՓ-ն կմիանա, և համապատասխան պահեստային հանգույցի պոտենցիալը կնվազի, որը կախված է

ԹՓ-ի և լիցքավորման փականի (LՓ) տրանզիստորների ղեկավարելիության հարաբերակցությունից (նկ. 1.11 ք) [52]:

Տարրական հիշողության բջջի մեջ հաջողությամբ տվյալներ գրանցելու համար կրիտիկական մակարդակն անհրաժեշտ է նվազեցնել պահեստային տարրում պարունակվող շրջիչի փոխանջատման կետի մակարդակից ցածր:

Գրանցման սխեման

Գրանցման սխեմայի աշխատանքի սկզբունքը սյուներից մեկի լարման մակարդակը նվազեցնելը և տրամաբանական ցածր մակարդակին հասցնելն է, որին հնարավոր է հասնել բիթի գիծը կամ բիթի գծի ինվերսը հողանցելով Մ3 և Մ2 կամ Մ1 տրանզիստորների միջոցով (նկ. 1.12) [53]: Մ3 տրանզիստորը ղեկավարվում է սյուների վերծանիչով, որն ընտրում է համապատասխան սյունը և ուղարկում դեպի հիշողության զանգված՝ «SEL»:

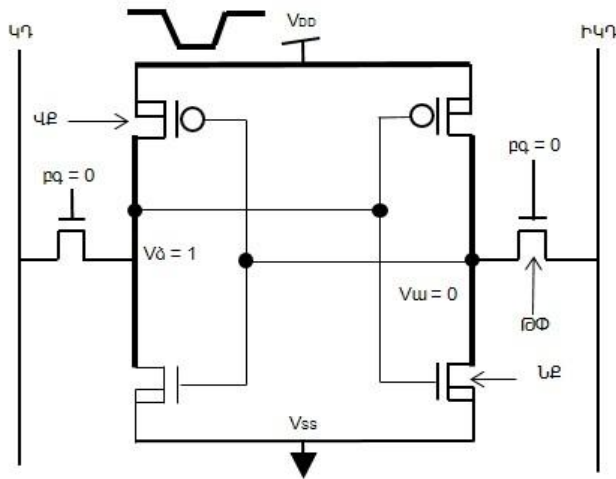


Նկ. 1.12. Գրանցման սխեմային կառուցվածքը

Մ1 տրանզիստորը միանում է միայն այն ժամանակ, երբ գրանցման թույլատրման ազդանշանը (ԳԹԱ) ակտիվացված է՝ $!W = 0$, և գրանցվող տվյալը «0» է, և հակառակը՝ Մ2 տրանզիստորը միանում է միայն այն ժամանակ երբ գրանցման թույլատրման ազդանշանը՝ ԳԹԱ ակտիվացված է՝ $!W = 0$, իսկ գրանցվող տվյալը «1» է:

Պահպանման գործողությունը

Երբ բառը գիծը ակտիվացված չէ, ՍԿԸԸ-ի բջիջը գտնվում է տվյալների պահպանման ռեժիմում: Տարրական բջջում պարունակվող իրար խաչաձև միացված շրջիչները միացնելու համար անհրաժեշտ է ունենալ V_{DDH} -ի բավարար մակարդակ (նկ. 1.13) [54]:



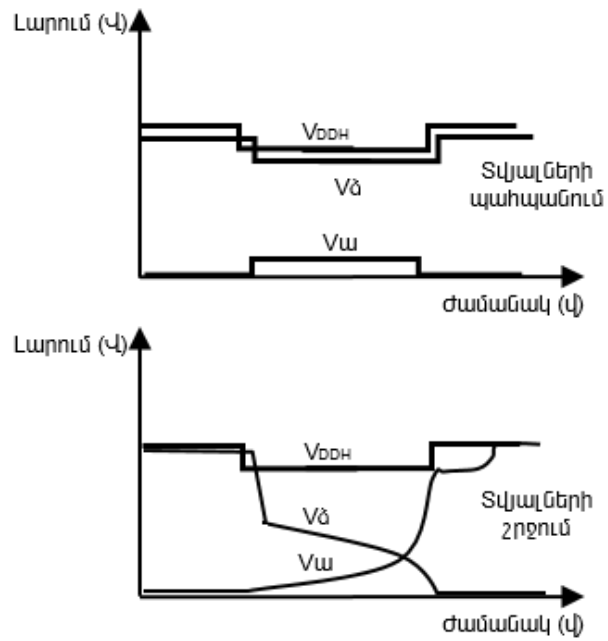
Նկ. 1.13. ՍԿԸԸ-ի պահպանման գործողության ժամանակ բջջի կառուցվածքը

խաչաձև միացված շրջիչները կուժեղացնեն ազդանշանը, առանց որևէ խանգարման, բիթի գծից մինչև ԹՓ:

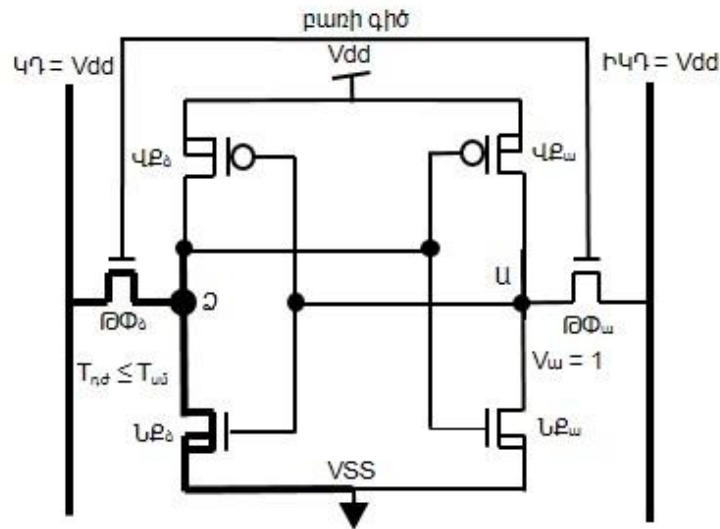
Որպես արդյունք՝ ՍԿԸԸ-ի տվյալները կարող են պահպանվել ամբողջ պոտենցիալների տարբերությունը ($V_{DDH}-V_{SS}$), իսկ երբ V_{DDH} -ի լարումն անկարգակր նվազում է որոշակի կետից ցածր, որը կոչվում է որպես տվյալների պահպանման լարում ($S\text{ՊԼ } V_{\text{HOLD}}$), շրջիչներն այլևս չեն կարողանում պահպանել վիճակը, և պահեստային հանգույցները կարող են պահել սխալ վիճակ (նկ. 1.14):

Մուտքի հասանելիության ժամանակը

Հիշողության տարրական բջջի մուտքի հասանելիության ժամանակը ($U<ժ$ $T_{\text{հաս}}$) սահմանվում է որպես պահանջվող ժամանակահատված երկու բիթի գծերի միջև, նախապես սահմանված լարումների տարբերությունը ստանալու համար ($\Delta V_{\text{ին}} \approx 0,1V_{\text{DD}}$) (նկ. 1.15.) [55]: $U<ժ$ -ն չպետք է գերազանցի առավելագույն թույլատրելի լիցքաթափման ժամանակը ($T_{\text{սահմ}}$): ԹՓ և ՆՔ տրանզիստորների չափսերն ազդում են լիցքաթափման ժամանակի և որպես արդյունք՝ ՍԿԸԸ-ի արագագործության վրա:



Նկ. 1.14. ՍԿԸՀ-ում տվյալների պահպանման տեսքը



Նկ. 1.15. 6S բջիջում դիմման գործողությունը

1.1.4. Ստատիկ կամայական ընտրությամբ հիշասարքերի խափանումները

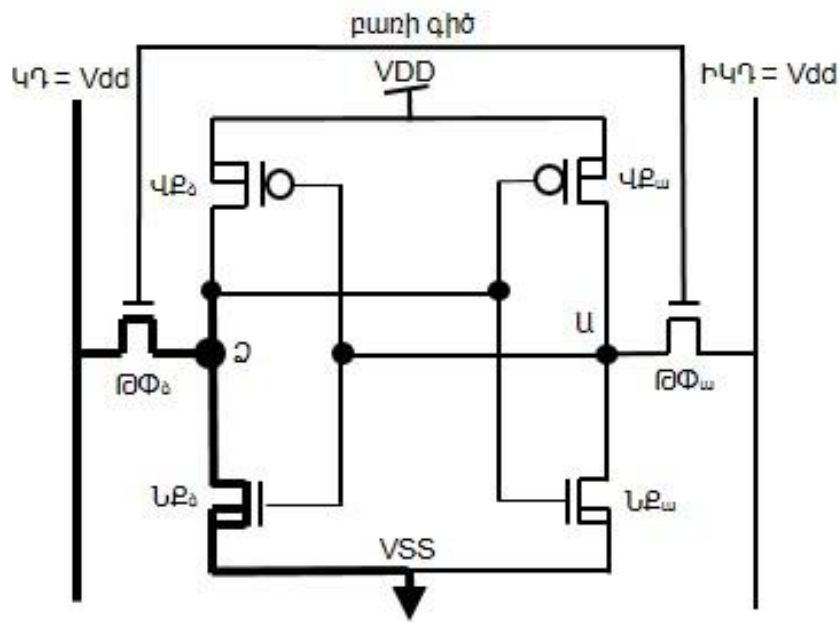
ՍԿԸՀ-ի բջջում տեղակայված տրանզիստորների պարամետրերի մեծ անհամապատասխանությունները, որոնք պայմանավորված են մասշտաբավորմամբ կամ տատանումներով (շեմային լարում, կանալի երկարություն, կանալի լայնություն կամ սնման լարում) կարող են հանգեցնել բջջի խափանմանը:

ՍԿԸՀ-ի բջջի խափանումները դասակարգվում են ըստ հետևյալ 4 կատեգորիաների.

- 1) Սխալ ընթերցում. շրջում է բջջում պահված տվյալը ընթերցման գործողության ժամանակ, սահմանվում է որպես ընթերցման խափանում:
- 2) Սխալ գրանցում. տվյալը բջջում գրանցելու անկարողություն, սահմանվում է որպես գրանցման խափանում:
- 3) Բջջի մուտքի ժամանակի ավելացում. հանգեցնում է հապաղման պահանջի խախտման, սահմանվում է որպես դիմման խափանում:
- 4) Բջջում պարունակվող տվյալների խափանում սպասման ռեժիմում ցածր սնման լարման կիրառմամբ. հիմանականում կրճատելու համար արտահոսքի հոսանքը սպասման ռեժիմում, հայտնի է որպես պահպանման խափանում:

Ընթերցման խափանումը

Ընթերցման ընթացքում ($V_{\delta} = 0$ և $V_{\omega} = 1$), լարման բաժանարարի գործողության պատճառով ԹՓձ և ՆՔձ տրանզիստորների միջև, լարումը «2» ($V_{\delta}=V_{ընթ}>0$) հանգույցում ավելանում է մինչև $V_{ընթ}$ դրական արժեքը (նկ. 1.16) [56]:



Նկ. 1.16. Ընթերցման խափանում. ընթերցման ժամանակ տվյալի շրջումը

Եթե $V_{ընթ}$ -ի արժեքը ավելի բարձր է, քան շրջիչի փոխանջատման վերև քաշող (V_{δ}) կետը $V_{\delta} - V_{\omega}$ ($V_{\omega}=V_{փկընթ}<1$), ապա բջջում գրանցված տվյալը շրջվում է ընթերցման ժամանակ [56]: Այս գործողությունը ընթերցման խափանման դեպքն է: Եթե ԹՓ՞-ի թողունակությունը ավելի մեծ է, քան ՆՔձ ՆՄՕԿ տրանզիստորի թողունակությունը, լարման բաժանման գործողությունն այդ երկու տրանզիստորների

միջև մեծացնում է Վընթ լարման արժեքը: Երկու տրանզիստորների հարաբերական (ԹՓ_δ և ՆՔ_δ) ուժի պաշարը տրվում է հետևյալ բանաձևով [56]՝

$$BR_{\text{նք-նթի}} = \frac{\beta_{\text{նթ}}}{\beta_{\text{նք}}} = \frac{\mu_{\text{էֆֆ}} \cdot C_{\text{օք}} W_{\text{նթ}}}{L_{\text{նթ}}} * \frac{L_{\text{նք}}}{\mu_{\text{էֆֆ}} \cdot C_{\text{օք}} W_{\text{նք}}}, \quad (1.4)$$

որտեղ μ -ն լիցքակիրների արդյունավետ շարժունակությունն է, $C_{\text{օք}}$ -ը՝ տրանզիստորի ենթափականային օքսիդի շերտի ունակությունը, $W_{\text{նք}}$ և $W_{\text{նթ}}$ -ը՝ համապատասխանաբար ՆՄՕԿ ԹՓ_δ և ՆՔ_δ տրանզիստորների հոսքուղու լայնությունները, $L_{\text{նք}}$ -ը, $L_{\text{նթ}}$ -ը՝ տրանզիստորների հոսքուղու երկարությունները: BR_{նք-նթի}-ն նվազում է Վընթ լարման արժեքը, հետևաբար՝ հեշտացնում ընթերցման խափանումը: Այսպիսով, ՍԿԸՀ բջի նախագծման ընթացքում ԹՓ_δ-ի չափսը սովորաբար փոքրացվում է՝ մեծացնելու համար BR_{նք-նթի}-ը: Սակայն նման նախագծման ռազմավարությունը հաշվի չի առնում տարբեր տրանզիստորների ուժերի կամայական շեղումների ազդեցությունները: Այսպես, օրինակ, շեմային լարման կամայական շեղումները, ԹՓ_δ տրանզիստորի շեմային լարման կրճատումը և ՆՔ_δ տրանզիստորի շեմային լարման ավելացումը հանգեցնում է Վընթ լարման արժեքի մեծացման, ինչի արդյունքում առաջանում է ընթերցման խափանում: Նմանապես, շրջիչի փոխանջատման կետը ($V_{\text{փոխ}} = \text{ՎՔ}_w - \text{ՆՔ}_w$) կախված է ՆՄՕԿ ՎՔ_w և ՆՔ_w տրանզիստորների ուժերից: Նոմինալ պամաններում բջիջը նախագծվում է այնպես, որ ՊՄՕԿ տրանզիստորը լինի թույլ, որպեսզի $V_{\text{փոխ}}$ -ը ունենա ցածր արժեք:

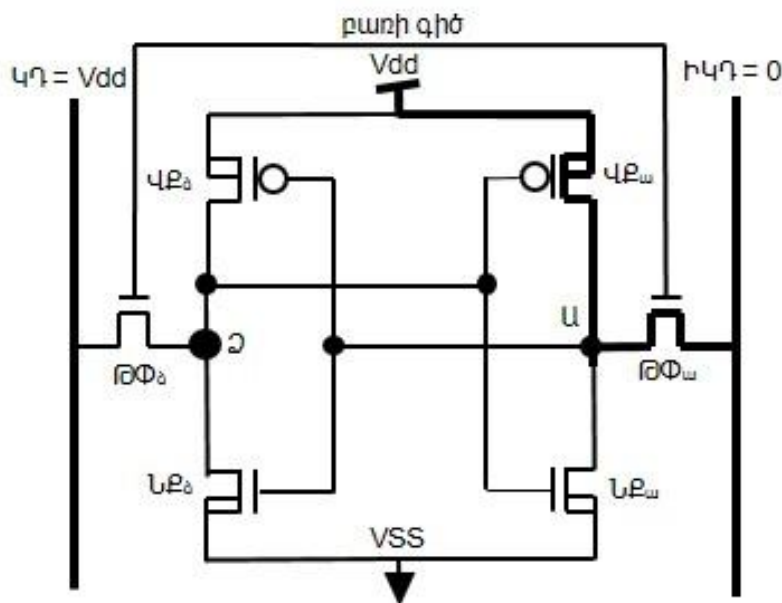
Թեև փոխանջատման կետի արժեքը ոչ պակաս է քան $V_{\text{ընթ}}$ լարման արժեքը, այնուամենայնիվ, պարամետրի փոփոխությունը կարող է հանգեցնել ՎՔ_w տրանզիստորի շեմային լարման մեծացման կամ ՆՔ_w տրանզիստորի շեմային լարման փոքրացման: Սա կարող է նվազեցնել $V_{\text{փոխ}}$ արժեքը $V_{\text{ընթ}}$ -ից ցածր, որը նույնպես կհանգեցնի ընթերցման խափանման: Պետք է նշել, որ ընթերցման խափանումն առաջանում է տարբեր տրանզիստորների ուժերի անհամապատասխանությունից:

Գրանցման խափանումը

Տրամաբանական «0» տվյալը բջջում, որտեղ պահված է «1», գրանցելու ընթացքում V_a հանգույցը լիցքաթափվում է ինվերս կարգային դողի միջոցով (ԻԿԴ) մինչև ցածր արժեքը [57]: Այդ արժեքը որոշվում է ՎՔ_w ՊՄՕԿ և ԹՓ_w ՆՄՕԿ

տրանզիստորների լարումների տարբերությամբ [58]: Եթե V_w -ն հնարավոր չէ իջեցնել շրջիչի փոխանջատման կետից ներքև՝ $V_{\text{տր}} - V_{\text{տր}} (V_{\text{տր}})$, ապա բառի գծի ակտիվացումն առաջացնում է գրանցման խափանում (նկ. 1.17) [59]:

Լիցքաթափման հոսանքը (I_w) «Ա» հանգույցում $\text{Թ}\Phi_w$ և $V_{\text{տր}}$ տրանզիստորներով հոսող հոսանքների տարբերությունն է ($I_w = I_{\text{Թ}\Phi} - I_{V_{\text{տր}}}$): Ուստի, ուժեղ ՊՄՕԿ $V_{\text{տր}}$ և թույլ $\text{Թ}\Phi_w$ տրանզիստորները կարող են զգալիորեն դանդաղացնել լիցքաթափման գործընթացը, ինչով կառաջացնեն գրանցման խափանում: Այսպիսով, բջջի նախագծման ընթացքում $V_{\text{տր}}$ և $\text{Թ}\Phi_w$ տրանզիստորների հարաբերություն պետք է ընտրվի այնպես, որ



Նկ. 1.17. Գրանցման խափանում. բջիջը չի գրանցում մուտքային տվյալը

նոմինալ պայմաններում գրանցման ժամանակը ավելի փոքր լինի, քան բառի գիծը ակտիվացնելու ժամանակը: Ավելին, $\text{Թ}\Phi_w$ տրանզիստորի չափերի մեծացումը և/կամ ՊՄՕԿ $V_{\text{տր}}$ տրանզիստորի չափերի փոքրացումը մեծացնում է ընթերցման խափանումը:

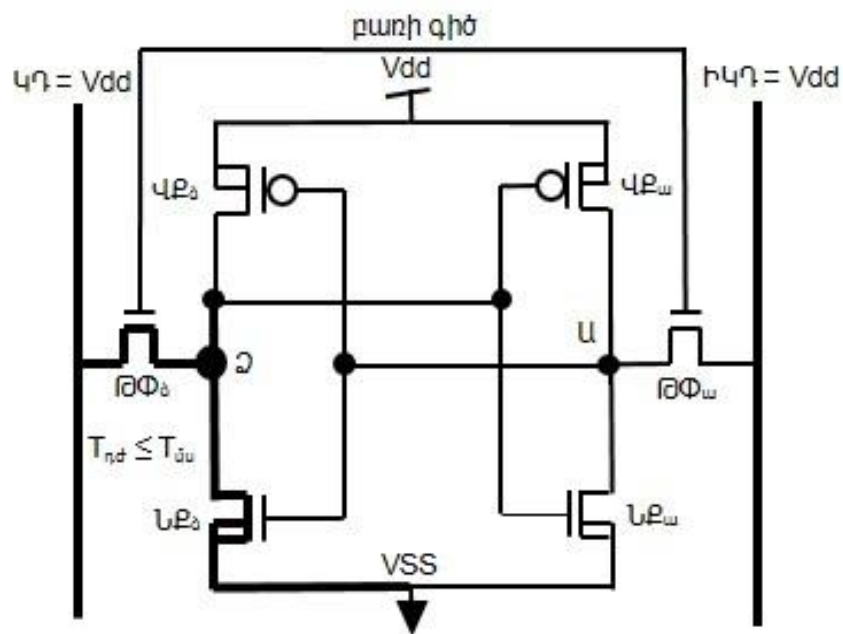
Այսպիսով, տարբեր տրանզիստորների չափերի օպտիմալացումը կարևոր է՝ խուսափելու համար գրանցման և ընթերցման խափանումներից:

Դիմման խափանումը

Դիմման ժամանակը ($T_{\text{դ}}$) սահմանվում է որպես՝ ժամանակ, որը հարկավոր է տրված կարգային դողերի միջև լարումների տարբերությունը հայտնաբերելու համար

($\Delta v_{in} \approx 0,1V_{DD}$) [60]: Երբ բջջին դիմելու ժամանակը ավելի երկար է, քան առավելագույն թույլատրելի սահմանը ($T_{սս}$), որը կարող է առաջանալ $V_{2ս}$ շեմային լարման փոփոխությունից (հոսքուղու լայնության կամ սնման լարման), առաջանում է դիմելու խափանում (նկ. 1.18) [60]:

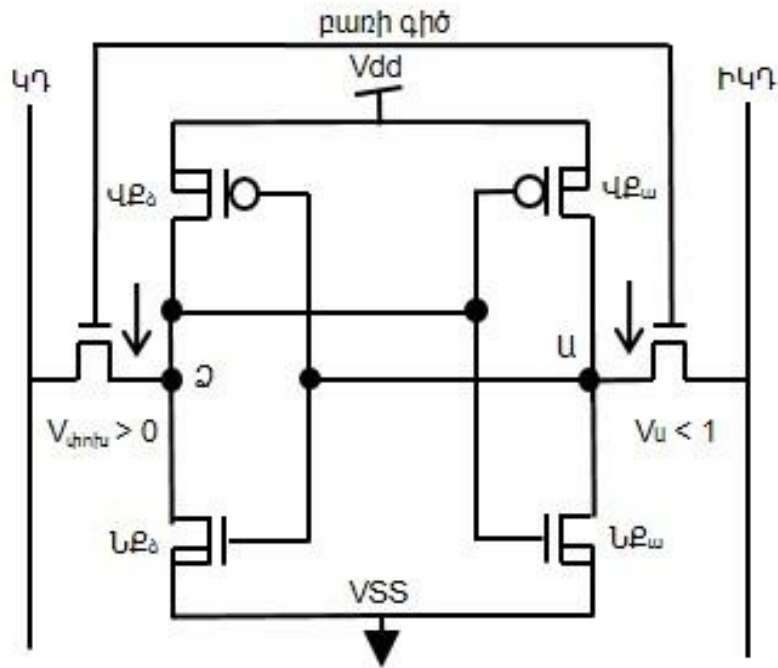
Դիմման խափանումը պայմանավորված է ԹՓ և ՆՔ տրանզիստորների ուժի կրճատմամբ: Հետևաբար, դիմման խափանումը սահմանափակում է ԹՓ տրանզիստորի չափերի փոքրացումը (որը հարկավոր է $BR_{սնք-սթի}$ մեծացնելու և $V_{ընթ}$ նվազեցնելու համար): ԹՓ և ՆՔ ՆՄՕԿ տրանզիստորների շեմային լարումների մեծացումը կարող է զգալիորեն մեծացնել դիմելու ժամանակը:



Նկ. 1.18. Դիմելու խափանումը

Պահպանման խափանումը

Սպասման ռեժիմում բջջի սնման լարման մակարդակն իջեցվում է՝ կորստի հոսանքները նվազեցնելու համար: Սնման լարման մակարդակի իջեցումն առաջացնում է բջջում պահված տվյալների ոչնչացում, որը կոչվում է պահպանման խափանում (նկ. 1.19) [61]: Լարման մակարդակը «Ա» հանգույցում, որտեղ պահված է «1» տվյալը, իջնում է, ինչը պայմանավորված է սնման լարման նվազեցմամբ: Ավելին, ցածր սնման լարման համար ՆՄՕԿ ՆՔ տրանզիստորի արտահոսքը նվազեցնում է «Ա» հանգույցում լարման արժեքը նույնիսկ սնման լարման արժեքից էլ ցածր:



Նկ. 1.19. Պահպանման խափանում. սպասման ռեժիմում տվյալների կորուստը

Եթե «Ա» հանգույցում լարման մակարդակը նվազի շրջիչի փոխանջատման կետից (ՎԲ_δ-ՆԲ_δ) ներքև, ապա տեղի կունենա տվյալների շրջում և տվյալների կորուստ պահպանման ռեժիմում: Սնման լարումը պահպանման ռեժիմում ընտրվում է տվյալների կայունությունն ապահովելու համար:

Այսպիսով, պահպանման, դիմելու, գրանցման և ընթերցման խափանումների հավանականությունը, որոնք առավել զգայուն են շեմային լարման փոփոխություններին [62] և բավականաչափ զգայուն են տրանզիստորի հոսքուղու լայնության և սնման լարման փոփոխությունների նկատմամբ [63], 16-նս տեխնոլոգիայում կարող է հասնել մինչև 5×10^{-3} -ի:

1.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման արդի վիճակի վերլուծությունը

Նախորդ շարադրանքից հետևում է, որ ներկայումս անհրաժեշտություն է առաջացել մշակելու արագագործ ՍԿԸԸ-ներ: Ստորև ներկայացված են ներկայումս կիրառվող ՍԿԸԸ-ների արագագործության բարձրացման հայտնի [64-76] եղանակները: Այդ մոտեցումների վերլուծությունը ցույց է տալիս, որ դրանք նպատակաուղղված են հիմնականում օգտագործվող ՍԿԸԸ-ների բաղադրիչ շրթանների

արագագործության բարձրացմանը: ՍԿԸՀ-ների արագագործության բարձրացման միջոցները բազմաթիվ են, և դրանք կարելի է բաժանել ըստ ժամանակագրության՝

դասական մեթոդ [64,65],

ավելի զարգացած մեթոդներ [66 – 70],

ընթացիկ/վերջին մեթոդներ [71-77]:

Դասական մեթոդ

Դասական մեթոդը [64] հնարավորություն է տալիս նկարագրել ՄՀԺ-ն որպես ֆունկցիա՝ կախված քեշ տիպի հիշասարքերի տարբեր պարամետրերից (քեշ տիպի հիշասարքի չափսը, բլոկի չափսը, ասոցիատությունը): Սակայն այս մեթոդն ունի մի շարք նշանակալի բացթողումներ: Առաջին՝ հասցեները պահող հիշողության պահեստավորումը և կոմպարատորը մոդելավորված չեն, և գործնականում դրանք հաճախ կազմում են կրիտիկական ուղի: Երկրորդ՝ այս մոդելի յուրաքանչյուր փուլը (բառի գիծ, բիթի գիծ) ենթադրում է, որ փուլի մուտքերը փուլային ալիքներ են, մինչդեռ իրական ալիքները հեռու են փուլային լինելուց, և այս հանգամանքը կարող է մեծապես ազդել փուլի հապաղման վրա: Երրորդ՝ հիշասարքի բոլոր ենթազանգվածները տեղաբաշխված են գծային տեսքով, ինչը կարող է հանգեցնել չափազանց վատատեսական ՄՀԺ-ի: Չորրորդ՝ այս մեթոդում կիրառվող վերծանիչի մոդելը փականային մակարդակի է, որը չի ներառում գծերի պարազիտային պարամետրերը, իսկ տրանզիստորների չափսերն ամրագրված են՝ անկախ բեռնվածությունից, օրինակ՝ բառի գծի ղեկավարիչը միշտ ունի նույն չափսը՝ անկախ բջիջների քանակից, որը նա ղեկավարում է: ԵՎ վերջապես, մեթոդը կանխատեսում է միայն քեշ հիշողության ՄՀԺ-ն: Հետագայում մշակվել է նոր մեթոդ, որը կոչվում «CACTI» [65]: Այն դասական մոդելի կատարելագործված տարբերակն է, որը ներառում է հիշողության զանգվածի մոդելը՝ կոմպարատորների և մուլտիպլեքսորների ղեկավարիչ սխեմաները: Այս մոդելում միայն վեջձանիչի բաղադրիչն էր մոդելավորված տրանզիստորային մակարդակով, իսկ մնացած բաղադրիչները մոդելավորված էին փականային մակարդակով:

Չնայած որ «CACTI» մեթոդն ավելի ընդլայնված է, քան դասական մեթոդը, սակայն այն դեռևս հեռու է կատարյալ լինելուց և հաշվի չի առնում $V_{2նմ}$ և $V_{սնմ}$ լարումների վարիացիաները, որոնք ընդհանուր առմամբ ազդում են ՍԿԸՀ-ի

հապաղումների և հզորության վրա: Հետևաբար՝ այս մեթոդները չեն ֆիքսում հիշողության շղթաների ՄՀԾ-ի և հզորության էլեկտրական հատկությունների կամայական վարիացիաները:

Ավելի զարգացած մեթոդներ

Ճարտարապետության մակարդակի միասնական մեթոդը [66], հնարավորություն է տալիս ճշգրիտ մոդելավորել հզորությունը ՍԿԸՀ և բովանդակային-հասցեական-հիշողության (ԲՀՀ) դեպքում: Թեև այս մոդելը հաշվի է առնում սխեմայի հիմնական պարամետրերը, բայց այն չի կարող պատկերել ամբողջ ՍԿԸՀ-ի V_{2i} և V_{DD} -ի տատանումները:

ՍԿԸՀ բջջի կայունության վիճակագրական վերլուծության մեթոդը [67] առաջարկում է գերազանց մոդել հիշասարքի բջջի «DC» աղմուկի շեմի բնութագրման համար: Այն կարող է գնահատել բջջի խափանման հավանականությունը գրանցման և ընթերցման գործողությունների ժամանակ: Սակայն մեթոդում ներկայացված չէ, թե ինչպես են պարամետրերի տատանումները, որոնք կարևոր են ՄՀԾ-ի համար, որոշում տարբեր չափերի ՍԿԸՀ-երի կայունությունը:

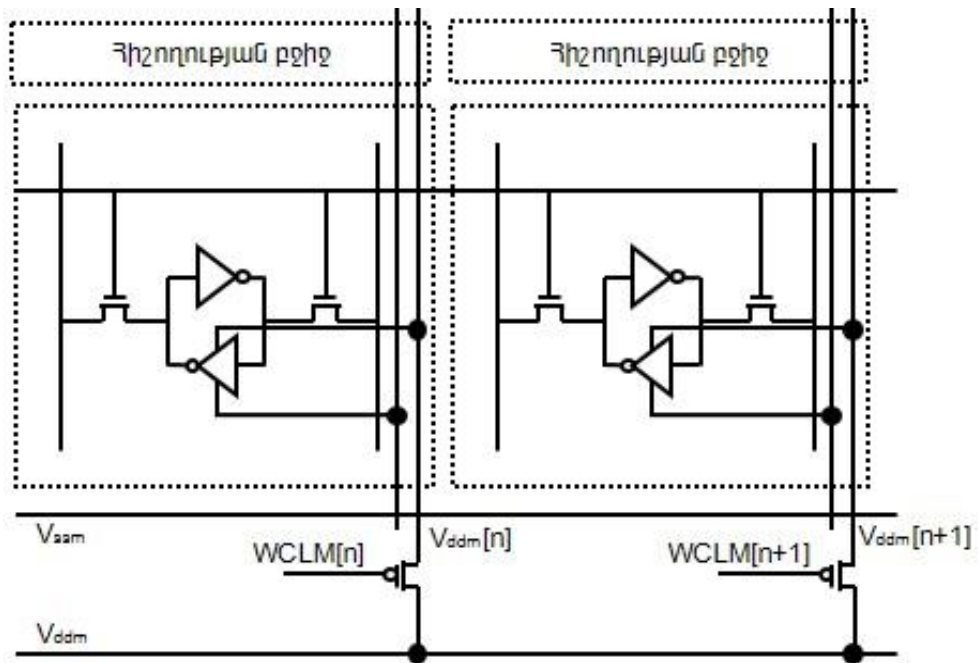
Հարմարվող ներկառուցված ՍԿԸՀ-ի մոդուլների մեթոդն [68], առաջարկում է կամ գրանցման պաշարի ընդլայնում, օգտագործելով լողացող հզորության գծի (LՀԳ) մեթոդը կամ հարմարվողական փոփոխության գործընթացի (ՀՓԳ) գրանցման սխեման՝ ակտիվացնելու համար ցածր լարմամբ գրանցման գործողությունը (նկ. 1.20) [68]:

Մեկ սյան մեջ գտնվող յուրաքանչյուր տարրական բջիջների սնման V_{dd} դողերը ($V_{ddm}[n]$) միացված են միմյանց և բաժանված են մյուս սյան սնման լարման գծերից, որոնք միացված են V_{DD} -ին Պ տիպի մետաղ-օքսիդ կիսահաղոդչով (ՊՄՕԿ):

Իր հերթին՝ ՊՄՕԿ-ը ղեկավարվում է «WCLM[n]» ազդանշանով, որն անջատված է, երբ սյան մեջ գտնվող տարրական բջիջը հասանելի է՝ գրանցելու համար, իսկ $V_{ddm}[n]$ -ը փոխվում է և անցնում է լողացող վիճակի:

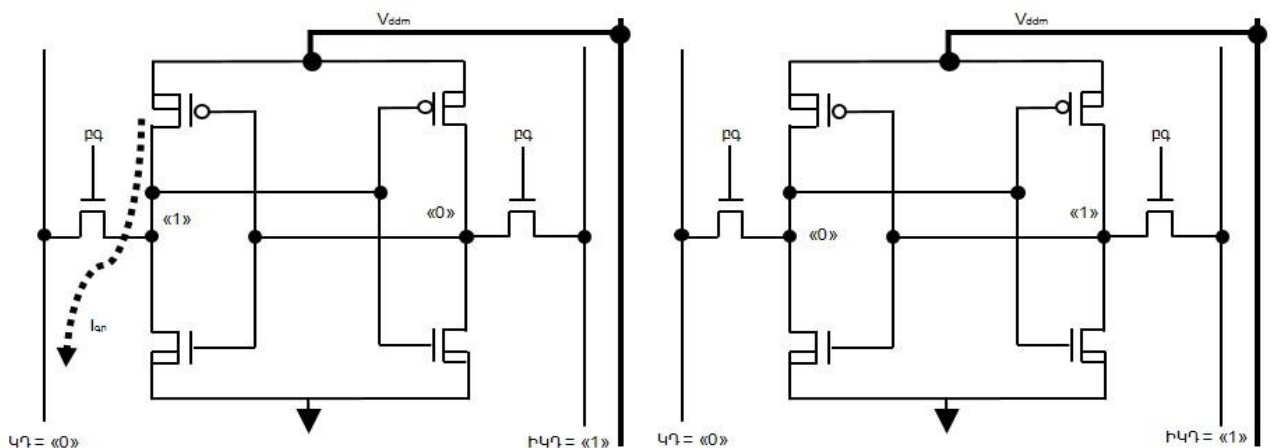
Նախքան տվյալների շրջումը, որը տեղի է ունենում գրանցման գործողության ընթացքում, գրանցման հոսանքը հոսում է բեռային ու փոխանցող տրանզիստորներով

(նկ. 1.21 ա), և գրանցման հոսանքը նվազեցնում է V_{ddm} լարումը, և գրանցման պաշարը կարող է բարելավվել:



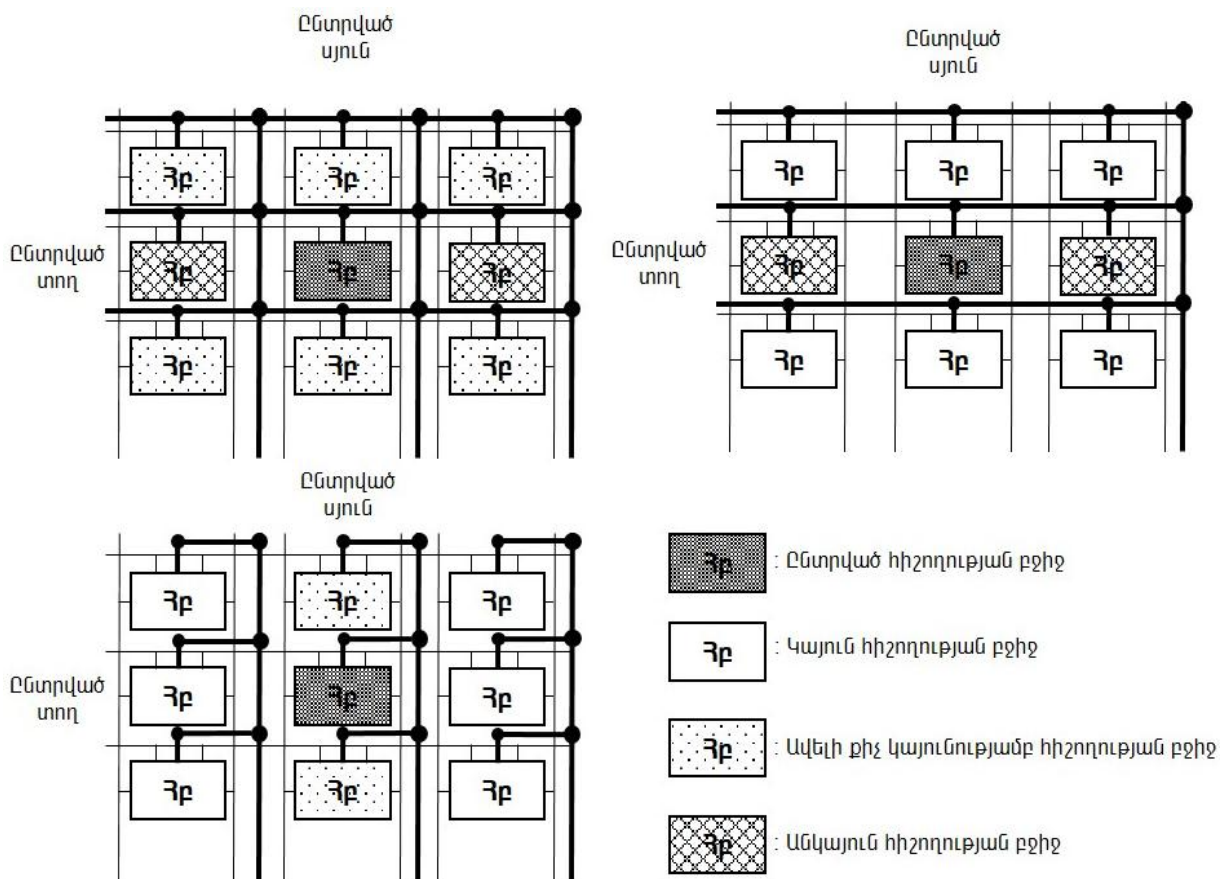
Նկ. 1.20. Լողացող հզորության գծի սխեմայի կառուցվածքը

Ներքին սնման լարման (V_{DDm}) նվազեցումը արգելափակված է հիշողության բջիջ տվյալների անցումով, քանի որ նոր տվյալներով գրանցված հիշողության բջիջ մեջ նրա պահեստային հանգույցի լարումը դառնում է նույնը, ինչպես բիթի գծի լարումը միացված փոխանցող տրանզիստորով (նկ. 1.21 բ): Ղեկավարելով V_{DDm} -ը՝ նվազում է տվյալների պահպանման կայունությունը, և անկայունությունը բարելավվում է գրանցելու պաշարը:



Նկ. 1.21. Հիշողության բջիջում գրանցման պայմանը՝ ա) մինչև տվյալի շրջումը, բ) տվյալի շրջումից հետո

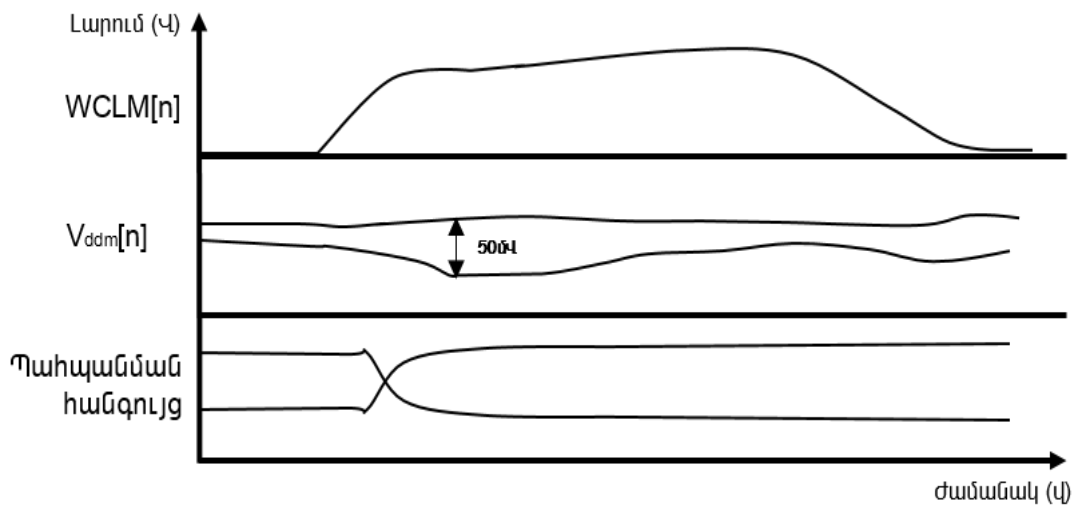
Սա նշանակում է, որ V_{DDm} -ը ղեկավարող հիշողության բջիջն ունի գրանցելու լավ հատկանիշներ, բայց պահպանման վատ հատկանիշներ: Բառի գծի ակտիվացումը նույնպես նվազեցնում է պահպանման հատկանիշները: Կառուցվածքում, որտեղ V_{DDm} -ը նույն զանգվածում միացված է և ղեկավարվում է գրանցման գործողության ընթացքում (նկ. 1.22 ա), դառնում է հիմնականում անկայուն, բջիջներում գրանցված տվյալները հեշտությամբ կարող են ոչնչանալ: Այն կառուցվածքում, որտեղ բառի գծով ակտիվացված բջիջները գտնվում են նույն պայմաններում, տվյալների ոչնչացումը նույնպես հեշտ է (նկ. 1.22 բ): $L < C$ գրանցման մեթոդում V_{DDm} -ը ղեկավարվում է միայն ընտրված սյուներում (նկ. 1.22 գ), և դա պահպանում է բարձր պահպանման հատկանիշներ այն բջիջներում, որոնք ընտրված չեն տվյալներ գրանցելու համար:



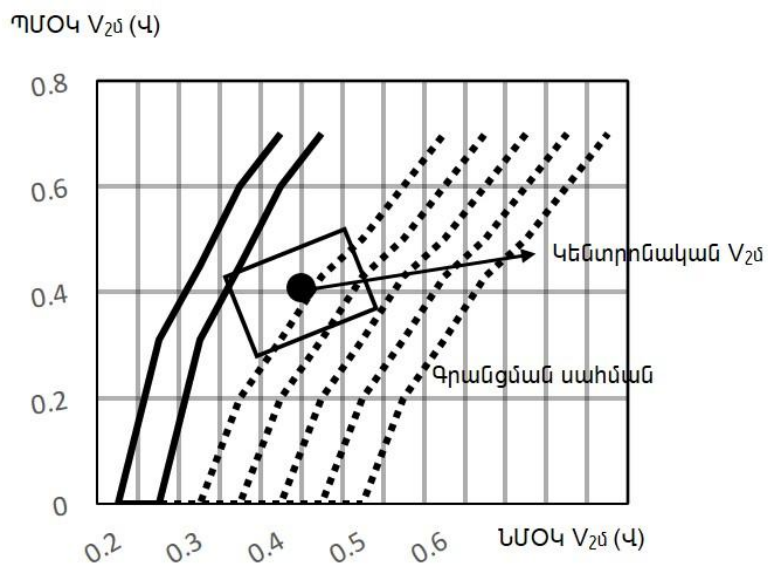
Նկ. 1.22. Ղեկավարվող սնման լարումը և բջջի կայունությունը՝ ա) բոլոր բջիջների սնման լարումների ղեկավարումը, բ) ընտրված տողի սնման լարումների ղեկավարումը, գ) ընտրված սյան սնման լարումների ղեկավարումը

Օրինակ, նկ. 1.23-ում [68] ցուցադրված են գրանցման գործողության մոդելավորման արդյունքները: Երբ $V_{DDm}[n]$ լարման արժեքը նվազեցված է 50մՎ-ով,

նոր տվյալը գրանցվում է հիշողության բջջի պահեստային հանգույցում: Հետևաբար, օգտագործելով $\text{L}\langle\text{F}$ գրանցման մեթոդը, հնարավոր է լինում բարելավել աշխատանքային պատուհանը (նկ. 1.24):



Նկ. 1.23. Գրանցման գործողության ընթացքում լարման նմանարկման արդյունքները



Նկ. 1.24. Շեմային լարման աշխատանքային պատուհանը

Գրանցման սահմանի գիծը շարժվում է դեպի աջ և գրանցման պաշարը մեծանում է, ինչը նշանակում է, որ V_{DD} -ն կարող է նվազել: Դա ակտիվացնում է ցածր էներգասպառմամբ գործողությունը: Օգտագործելով այս եղանակը, սնման լարման նվազագույն մակարդակը բարելավվում է մոտ 100մՎ-ով: Թեև այս մեթոդը զգալիորեն արդյունավետ է կորստային հոսանքների նվազեցման համար, բայց, միևնույն ժամանակ, պահանջվում է ուշադիր վերահսկողություն սյան և տողի ընտրության

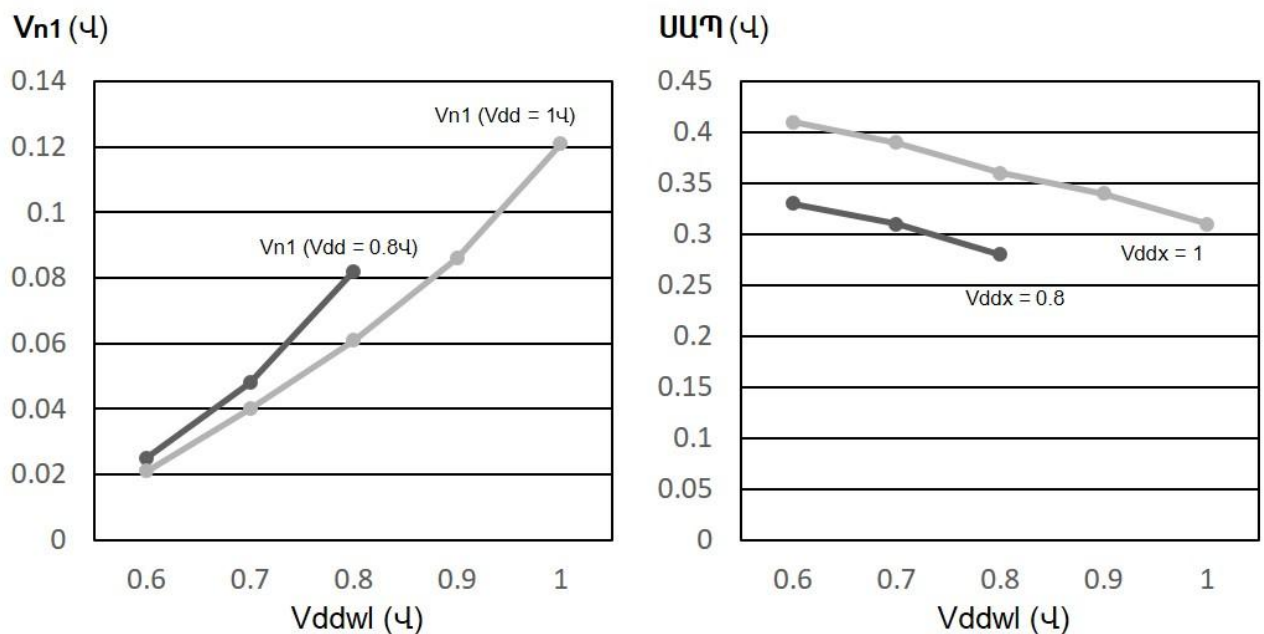
Ժամանակ՝ կանխելու համար նույն սյունում կամ տողում բջիջների կայունության վատթարացումը: Հաջորդ մեթոդն է ՍԿԸՀ-ի բջիջների ստատիկ աղմուկի պաշարի (ՍԱՊ) և գրանցման պաշարի ավելացումն է [69] լարման տարբերության նվազեցման շղթայի միջոցով: Լուծելով (1.2) հավասարությունը բջջի ձախ կողմի ներքին հանգույցի համար (V_{δ}) և օգտագործելով $V_{\text{ս2եմ}}=0,35\text{Վ}$ և $V_{\text{ո2եմ}}=0,4\text{Վ}$ տվյալները, շրջիչի փոխանջատման կետը կարտահայտվի հետևյալ բանաձևով [69]՝

$$V_{\text{ֆոխս}} = \frac{V_{\text{ս2եմ}} + \sqrt{\frac{1}{K}}(V_{\text{սն}} + V_{\text{ո2եմ}})}{1 + \sqrt{\frac{1}{K}}} \quad (1.5)$$

որտեղ՝

$$K = \frac{\mu_{\text{ս}} \cdot C_{\text{օք}} W_{\text{ս}}}{L_{\text{ս}}} * \frac{L_{\text{ո}}}{\mu_{\text{ո}} \cdot C_{\text{օք}} W_{\text{ո}}} \quad (1.6)$$

Բանաձևը ցույց է տալիս, որ փոքրացնելով բառի գծի լարման մակարդակը, ՍԱՊ-ը բարելավվում է: Հաշվելով V_{δ} և $V_{\text{ս2եմ}}$ -ը օգտագործելով՝ արագ ՆՄՕԿ տրանզիստորը կստացվի ՍԱՊ-ը: Նկ. 1.25-ում [69] բերված են V_{δ} -ի և ՍԱՊ-ի կախվածությունները բառի գծի և սնման լարման (V_{DD}) տարբեր արժեքների դեպքում:

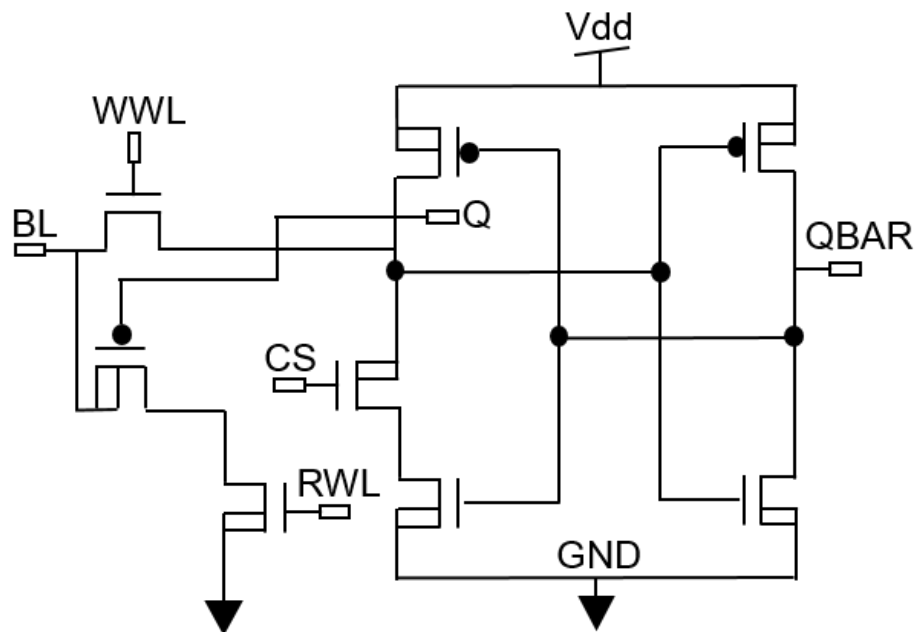


Նկ. 1. 25. Տարբեր բառերի գծերի լարումների դեպքում ներքին հանգույցի լարման և ատատիկ աղմուկի պաշարի կախվածությունները

Վերլուծական մոդելը կանխատեսում է, որ նվազեցնելով բառի գծի լարման արժեքը, ավելանում է ՍԱՊ-ը՝ նորմալ և ցածր սնման լարումների դեպքերում: Չնայած որ մեթոդը հաջող է ՍԱՊ-ի ավելացման և լարման տարբերության նվազեցման դեպքում, այնուհանդերձ, այն կիրառվում է հիմնականում գրանցման գործողության, բայց ոչ ընթերցման դեպքում: Մեթոդը ցուցադրում է, որ հիշասարքի մուտքի հասանելիության արագությունը մասամբ կրճատվում է՝ պայմանավորված բառի գծի լարման նվազեցմամբ: Լիցքի փոխանակման մեթոդով [70] նվազեցվել է առաջարկում հզորության ծախսը՝ օգտագործելով ցածր-էներգասպառումամբ գրանցման սխեման, որը դինամիկ կերպով լիցքավորում է բիթի գծերը, բայց այն իրականացվում է ՍԱՊ-ի կրճատման հաշվին:

Ընթացիկ մեթոդներ

Ներկայումս կիրառվող մոտեցումներից մեկն է 8S ՍԿԸՀ բջջի մեթոդը, որն առաջարկում է հիշողության զանգվածում օգտագործել միայնակ բիթի գծով 8S տարրական բջիջ: Այն բաղկացած է մեկ բիթի գծից («BL») և 2 առանձին բառերի գծերից (գրանցման բառի գիծ «WWL» և ընթերցման բառի գիծ «RWL»): Բջիջը կառուցված է հետևյալ կերպ. խաչաձև միացված երկու շրջիչներից մեկն ունի 2 ՆՄՕԿ և 1 ՊՄՕԿ (P-2, N-1, N-3), իսկ մյուսը՝ 1 ՆՄՕԿ և 1 ՊՄՕԿ (P-1, N-2) (նկ. 1.26) [71]:



Նկ. 1.26. Միամատույց 8S ՍԿԸՀ-ի կառուցվածքը

N3-ը ղեկավարվում է «CS» ազդանշանով, որն անջատում է խաչաձև միացված շրջիչների հետադարձ կապը [71]:

Գրանցման և ընթերցման գործողությունները ղեկավարվում են առանձին բառերի գծերով, որոնք ուժեղացնում են բջջի գրանցման ունակությունը և ընթերցման կայունությունը: «WWL»-ն ազդանշանն օգտագործվում է միայնակ բիթի գծից դեպի ելքային «Q» հանգույց տվյալների փոխանցման և շրջված տվյալները «QBAR» հանգույցի վրա պահելու համար: Նախքան «Q» հանգույցում տրամաբանական «1» գրանցելը, բիթի գիծը և «WWL» հանգույցը լիցքավորվում են մինչև V_{DD} , մինչդեռ «CS» հանգույցը մնում է «0» մակարդակին, որպեսզի պահի «Q» հանգույցում պահված տվյալը: Տրամաբանական «0» գրանցելու համար բիթի գիծը հողանցվում է, իսկ «CS»-ը լիցքավորվում է մինչև V_{DD} , հեշտությամբ շրջելու համար «Q» հանգույցը «1»-ից «0» (աղ. 1.1) [71]:

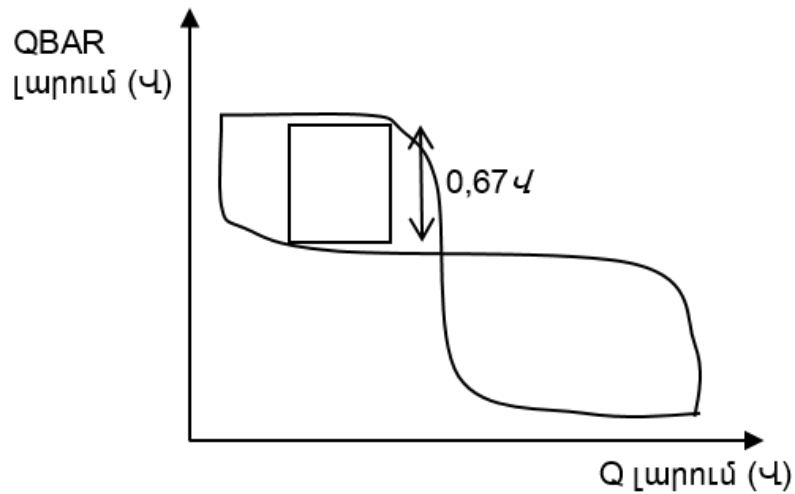
Աղյուսակ 1.1.

ՑՏ ՄԿԸՀ բջջի գործողությունները

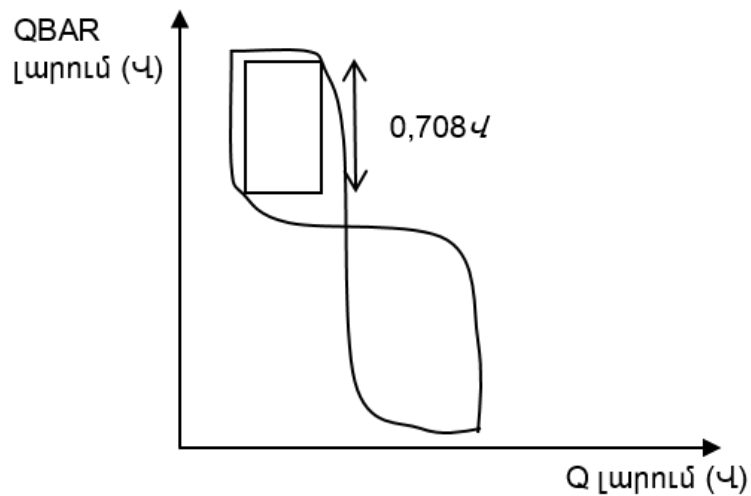
Ղեկավարող ազդանշաններ	Գրանցել «1»	Գրանցել «0»	Ընթերցել	Պահել
WWL	1	1	0	0
RWL	0	0	1	0
BL	1	0	1	1
CS	0	1	0	1

Նախքան ընթերցման գործողությունը նախաձեռնելը, բիթի գիծը պահվում է V_{DD} -ում, մինչդեռ WWL-ը և RWL-ը համապատասխանաբար՝ «0» և «1»-ում: Q հանգույցը, անմիջականորեն միացված լինելով ՊՄՕԿ (P_3) տրանզիստորին, տրամաբանական «1» ընթերցելու ժամանակ P_3-ը անջատվում է՝ Q հանգույցում «1» լինելու պատճառով: Նախալիցքավորված բիթի գիծը չի լիցքաթափվում, քանի որ P_3-ը փակ է, և արդյունքում՝ «1»-ը ընթերցում է զգայուն ուժեղարարը: Եթե Q հանգույցում գրանցված է «0», ապա ՊՄՕԿ-ը միանում է և ակտիվացնելով RWL-ը, հնարավոր է դառնում բիթի գծի հանգույցում պահված ամբողջ լիցքը լիցքաթափել P_3-ով և N_5-ով, որից հետո զգայուն ուժեղարարն ընթերցում է «0»-ն:

Պահման գործողության համար WWL-ը և RWL-ը անջատվում են, մինչ բառի գիծը և CS-ը լիցքավորվում են մինչև V_{DD} : Պահման կայունությունը չափվում է բջջի պահման վիճակի ընթացքում: Այն ցույց է տալիս տվյալների պահպանման կարողությունը [72]: Ստատիկ աղմուկի շեմ ՍԱՇ-ը սահմանում է ամենամեծ աղմուկի շեմը, որը կարող է կիրառվել 8S ՍԿԸՀ-ի համար՝ պահման (նկ. 1.27 ա) և ընթերցման (նկ. 1.27 բ) ժամանակ (ՊՍԱՇ, ԸՍԱՇ) [73]:



ա)



բ)

Նկ. 1.27. 8S ՍԿԸՀ բջջի՝ ա) պահպանման ստատիկ աղմուկի շեմը, բ) ընթերցման ստատիկ աղմուկի շեմը

Համեմատած դասական մեթոդի հետ (6S ՍԿԸՀ), օգտագործելով 8S ՍԿԸՀ-ն, ստացվում է հետևյալ պատկերը (աղ. 1.2.) [73]: Ընթերցման ՍԱՇ-ը բարելավվում է մեկ

բիթի գծի օգտագործման հետևանքով, պահպանման ՍԱՇ-ը չի փոխվում, մինչդեռ գրանցելու ունակությունը վատթարանում է:

Ընթերցման հասանելիության հապաղման (ԸՀՀ) որոշման նպատակով [74]-ում հաշվարկվել է ընթերցման բառի գծի «0»-ից «1» փոխանջատման և զգայուն ուժեղարարի ելքի «1»-ից «0» փոխանջատման 50%-ի առավելագույն ժամանակահատվածը: Գրանցման հասանելիության հապաղման (ԳՀՀ) որոշման նպատակով [75]-ում հաշվարկվել է գրանցման բառի գծի «0»-ից «1» փոխանջատման և Q հանգույցի «1»-ից «0» փոխանջատման 50%-ի ամենաերկար ժամանակահատվածը (աղ. 1.3) [75]:

Աղյուսակ 1.2.

8S ՍԿԸՀ բջջի գրանցման, պահպանման և ընթերցման ՍԱՇ-երի համեմատությունը

Տարրական բջիջ	ԳՍԱՇ (Վ)	ՊՍԱՇ (Վ)	ԸՍԱՇ (Վ)
6S ՍԿԸՀ	0,231	0,67	0,94
8S ՍԿԸՀ	0,708	0,67	0,71

Աղյուսակ 1.3.

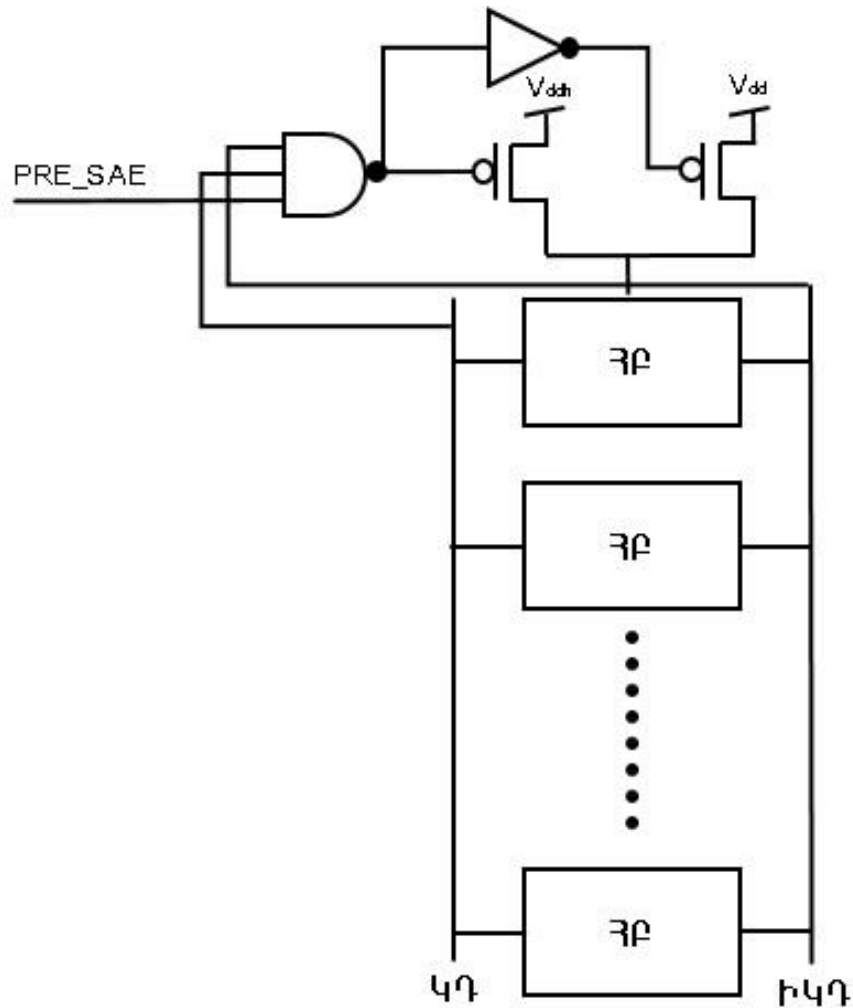
Գրանցման և ընթերցման հասանելիության հապաղման համեմատությունը

Տարրական բջիջ	ԳՀՀ (պվ)	ԸՀՀ(պվ)
6S ՍԿԸՀ	82,62	340,32
8S ՍԿԸՀ	63,27	175,92

Համաձայն բերված տվյալների՝ տարբեր ՍԿԸՀ-ների դեպքում նշված մոտեցման կիրառումը, գրանցելու ունակությանը մոտ 34%-ով կորստի պարագայում, կարող է բարելավել արագագործությունը՝ փոքրացնելով գրանցման և ընթերցման հապաղումները համապատասխանաբար՝ 20%-ով և 48%-ով:

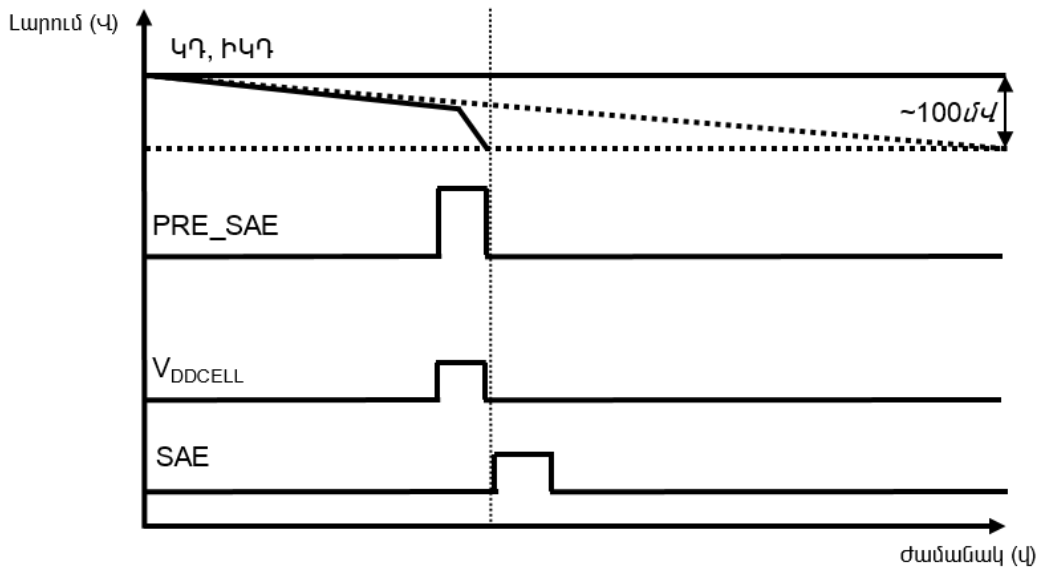
Ավտոմատ ընտրողական ուժեղացման մեթոդի [76] էությունը գրանցման գործողության վրա ծախսվող ժամանակի կրճատումն ու բառի գծերի ամպլիտուդի փոքրացումն է, որն իր հերթին հանգեցնում է դինամիկ և կորստային հզորության նվազեցման: Այն ընտրողաբար ուժեղացնում է բջջի սնման լարումը (V_{DDCELL})՝ փոքրացնելու համար բառի գծի հապաղումը (T_{pq}): Սնման լարման ղեկավարումն

իրականացվում է ավտոմատ ընտրության շղթայով (ԱԸՇ) հիշողության զանգվածի յուրաքանչյուր սյունում: ԱԸՇ-ն բաղկացած է բիթի գծի վերծանիչից, ինչպես նաև V_{DD} -ից V_{DDH} ուժեղացնող բանալուց: Բիթի գծի վերծանիչը հայտնաբերում է դանդաղ բիթի գծի ազդանշանի առաջացումը դանդաղագործ հիշողության բջջից (նկ. 1.28) [76]: Բառի գծի ակտիվացումից հետո նախնական ընտրությունն իրականացվում է՝ օգտագործելով «PRE_SAE» ազդանշանը՝ նախքան զգայուն ուժեղարարի մուտքային թույլատրող ազդանշանի ակտիվացումը:



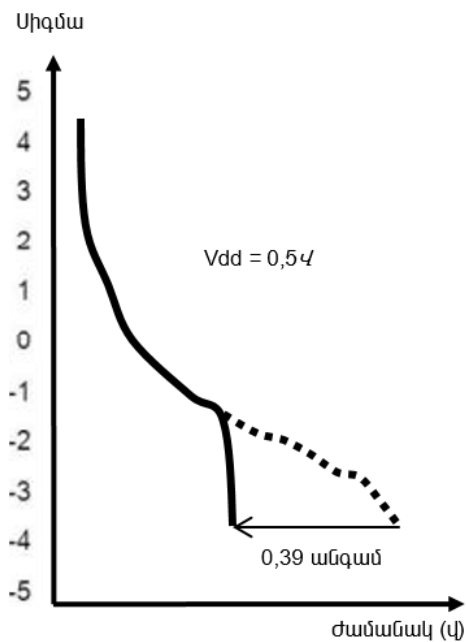
Նկ. 1.28. Ավտոմատ ընտրման սխեմայի կառուցվածքը

Այնուհետև բիթի գծի վերծանիչը հայտնաբերում է անբավարար բիթի գծի ամպլիտուդը, որն առաջանում է դանդաղագործ հիշողության բջջի պատճառով, և դանդաղագործ բջջի սնման լարումը ուժեղացվում է՝ միացնելով այն V_{DDH} -ին (նկ. 1.29) [76]: Որպես արդյունք՝ դանդաղագործ բջջի հոսանքը և բիթի գծի ամպլիտուդը մեծանում են՝ նախքան հայտնաբերվելը: Հետևաբար՝ ցիկլի ժամանակը նվազում է:



Նկ. 1.29. Ավտոմատ ընտրման սխեմայի գործողության նմանակման արդյունքները

Նկ. 1.29-ում [76] բառի գծի հապաղումը (T_{pq}) սնման լարման 0,5Վ մակարդակում տեղափոխված է դեպի ձախ, այսինքն՝ զգայուն ուժեղարարի ակտիվացումից հետո բիթի գծերի ΔV տարբերությունը ($\cong 100$ մՎ) ավելի շուտ է հաստատվում և հայտնաբերվում զգայուն ուժեղարարի միջոցով (նկ. 1.30) [77]:



Նկ. 1. 30. Ավտոմատ ընտրման սխեմայով և առանց դրա՝ կարգային դողերի ընթերցման հապաղման նմանակման արդյունքները

Այսպիսով, նշված մոտեցուման դեպքում ՍԿԸՀ-ի գրանցման տևողության նվազարկումը մինչև 60% կատարվում է հիշողության զանգվածի զբաղեցրած մակերեսի 5% մեծացման, ինչպես նաև լրացուցիչ ԱԸՇ-ի ներմուծման հաշվին: 32Կբ

հիողության ծավալով ՍԿԸՀ-ի համար ցիկլի տևողությունը ($T_{ցտ}$) կազմում է 120նվ, մինչդեռ ժամանակակից արագագործ ՍԿԸՀ-ներում $T^{ցտ}$ -ն մոտ է 1նվ-ին:

Ինչպես նշվեց, ՍԿԸՀ-ների արագագործության բարձրացման մոտեցումները շատ են: Սակայն դրանց վերլուծությունը ցույց է տալիս, որ վերջիններս արդյունավետության տեսանկյունից չեն բավարարում գործնական նախագծմանը առաջադրվող ժամանակակից պահանջները, քանի որ նպատակաուղղված են միայն գրանցման կամ միայն ընթերցման հապաղումների կրճատմանը:

1.3. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցներին առաջադրվող պահանջները

ՍԿԸՀ-ի բաղադրիչ շղթաների որակական ցուցանիշները կարող են վճռորոշ ազդեցություն ունենալ դրանց հիման վրա նախագծվող տարաբնույթ թվային ԻՍ-երի ինտեգրալ բնութագրերի (արտադրողականություն, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերես, էներգասպառում և այլն) վրա:

Ներկայումս ՍԿԸՀ-երին առաջադրվող պահանջները հիմնականում վերաբերում են դրանց ժամանակային պարամետրերին, էներգասպառման, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսին և ցրման հոսանքներին: Քանի որ սպառվող հզորության և արագագործության պահանջներն իրար հակադիր են [78], ապա ՍԿԸՀ-ի արագագործության բարձրացման խնդիրը անհրաժեշտ է ձևակերպել այնպես, որ մի պարամետրի լավացումը չհանգեցնի մյուսի վատթարացմանը:

Արագագործ ՍԿԸՀ-ին առաջադրվող պահանջները. հետևյալն են.

1) ՍԿԸՀ-ի արագագործության զգալի մեծացում

Նախորդող շարադրանքում ցույց տրվեց, որ առկա են ՍԿԸՀ-ի բաղադրիչ հանգույցների հապաղման փոքրացման մեթոդներ, որոնք ապահովում են ԱԿԸՀ-ի արագագործության մեծացումը: Սակայն, գրանցման և ընթերցման գործողությունների վրա խիստ պահանջներ են դրվում: Հետևաբար, առաջանում է ՍԿԸՀ-ի երկու գործողությունների համատեղ նվազարկման հնարավորությամբ նախագծման մեթոդների կիրառման անհրաժեշտություն:

2) ՍԿԸՀ-ի մակերեսի աճի հնարավորին չափ խուսափում

Արագագործության բարձրացման մեթոդները ներառում են ՍԿԸՀ-ների բաղկացուցիչ շղթաներում նոր տարրերի տեղադրումը, որը, համապատասխանաբար, հանգեցնում է կիսահաղորդչային բյուրեղի վրա ՍԿԸՀ-ի զբաղեցրած մակերեսի աճին: Այնուամենայնիվ, ՍԿԸՀ-ի զբաղեցրած մակերեսը կարևորագույն պարամետրերից մեկն է: Այսպիսով, ՍԿԸՀ-ի արագագործության բարձրացման մեթոդները պետք է ապահովեն նրա մակերեսի հնարավոր նվազագույն աճը:

3) Ստատիկ և դինամիկ էներգասպառման հնարավոր փոքր մեծացում

Արագագործության բարձրացման մեթոդների կիրառումը առաջացնում է նաև ՍԿԸՀ-ի ստատիկ և դինամիկ էներգասպառման զգալի ավելացում: Հետևապես՝ ՍԿԸՀ-ի արագագործության բարձրացման մեթոդներին ներկայացվող պահանջներից է էներգասպառման հնարավորինս չմեծանալը:

4) ՍԿԸՀ-ի նախագծման ընթացակարգի բարդության պահպանում

Առաջարկվող նոր միջոցների կիրառումը նախագծողի տեսանկյունից սահմանվում է որպես առկա նախագծման գործընթացում դրանց ներդրման դյուրինություն: Նախագծման գործընթացի բարդության պահպանումը նախագծողի համար կարևոր գործոններից մեկն է մշակման ընդհանուր տևողության կրճատման տեսանկյունից: Հետևաբար, ՍԿԸՀ-ի արագագործության բարձրացման մեթոդներին ներկայացվող պահանջն է, նախագծման, հնարավորինս նվազագույն չափով ավելացնել ներկայիս նախագծման ընթացակարգերի գործընթացի բարդությունը:

Եզրակացություններ

1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակումը ներկայումս թվային ինտեգրալ սխեմաների նախագծման կարևորագույն խնդիրներից է, որի արդյունավետ լուծումը կհանգեցնի դրանց հիմնական պարամետրերի էական լավարկմանը, նոր սերնդի հիշասարքերի ստեղծմանը և նախագծման ժամանակի փոքրացմանը:

2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացումը հնարավոր չէ իրականացնել՝ առանց նոր միջոցների ստեղծման, որոնք ունակ կլինեն հեշտությամբ ինտեգրվելու ներկայիս նախագծման գործընթացներում:
3. Արագագործության բարձրացման ներկայիս օգտագործվող մեթոդներն ուղղված են կամ միայն գրանցման, կամ միայն ընթերցման գործողության հապաղման կրճատմանը, սակայն ստատիկ կամայական ընտրությամբ հիշասարքերում դրանք ունակ չեն ապահովելու ծախսվող ժամանակի կրճատումը՝ միաժամանակ գրանցման և ընթերցման ընթացքում: Վերջիններս մշակումը ենթադրում է ստատիկ կամայական ընտրությամբ հիշասարքերի բաղկացուցիչ սխեմաների նոր կառուցվածքների ստեղծում:
4. Ձևակերպվել են ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցներին առաջադրվող պահանջները, որոնց բավարարումը թույլ կտա ստեղծել այդ դասի մրցունակ հիշասարքեր:

ԳԼՈՒԽ 2. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ԱՌԱՋԱՐԿՎՈՂ ՄԵԹՈԴՆԵՐԸ

2.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման խնդրի դրվածքը

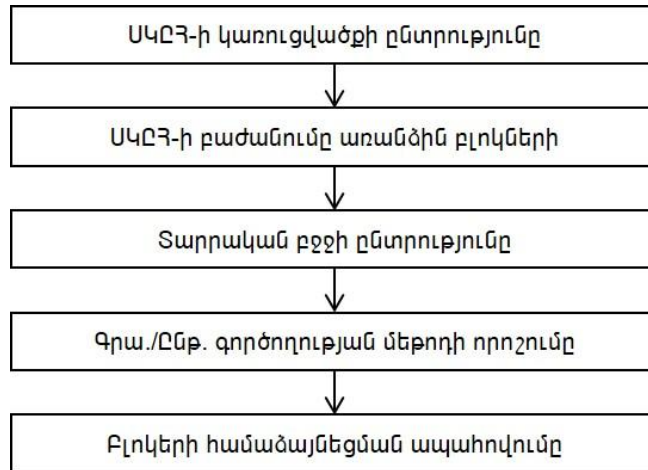
Ինչպես նշվեց նախորդ շարադրանքում, ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակումը էական նշանակություն ունի ԻՍ-երի նախագծման գործընթացում: ՍԿԸՀ-երի արագագործության բարձրացման ներկայիս մեթոդները մասնագիտացված են միայն գրանցման կամ ընթերցման գործողության բարելավման համար, բայց ժամանակակից ՍԿԸՀ-ների համար դրանց կիրառումը նպատակահարմար չէ, քանի որ ՍԿԸՀ-ին ընդհանուր արագագործության խիստ պահանջներ են ներկայացվում: Բացի դրանից, այդ մեթոդների կիրառումը հանգեցնում է ՍԿԸՀ-ի էներգասպառման, մակերեսի և կորստի հոսանքների անցանկալի աճի:

Սույն աշխատանքի նպատակն է արագագործ ՍԿԸՀ-ի նախագծումը, որը թույլ կտա մեծացնել ԱԿԸՀ-ի արագագործությունը՝ պահանջվող չափով՝ ապահովելով այլ բնութագրերի ցանկալի արժեքներից նվազագույն շեղումը:

Տրված խնդիրը լուծվել է՝ օգտագործելով հետևյալ մեթոդները՝ բազմակի լարումներով սնուցում, հիշողության զանգվածի բանկավորում, պահման ռեժիմում կարգային դողերի լիցքավորված վիճակի պահպանում, արագագործ նախալիցքավորման սխեմայի կիրառում, պահպանելով ՍԿԸՀ-ի բաղադրիչ սխեմաների համաձայնեցումը, իրականացված ինքնաժամանակաչափ բլոկների միջոցով:

Ստորև նկարագրված են թվարկած մեթոդները, մշակված սխեմաների, բանկավորված հիշողության զանգվածի և վերջնական ստատիկ կամայական ընտրությամբ հիշասարքի կառուցվածքները, որոնք ապահովում են, տրված խնդիրների լուծման հնարավորությունը: Առաջարկված մոտեցման իրագործման

նպատակով մշակվել է ստատիկ կամայական ընտրությամբ հիշասարքի արագագործության բարձրացման նախագծման ընթացակարգ (նկ. 2.1):



Նկ. 2.1. Արագագործ ՍԿԸՀ-ի մշակման համար առաջարկվող ընթացակարգը

2.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման մեթոդների մշակումը

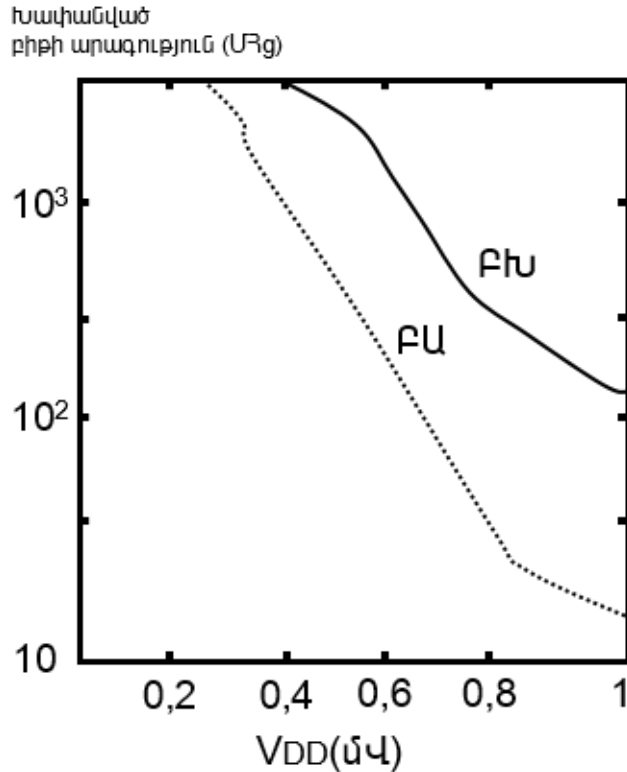
2.2.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի տարրական բջիջների ընտրությունը

Նախորդ շարադրանքից հետևում է, որ ՍԿԸՀ-ներում նախագծման ընթացքում օգտագործվում են բազմատեսակ տարրական հիշողության բջիջներ [79]: Այդ հիշողության բջիջների չափսերը տարբեր են և սովորաբար նախատեսված են բարձր խտությամբ կամ բարձր արտադրողականությամբ հավելվածների համար:

Բջջի զբաղեցրած մակերեսի հաշվին բարձր արտադրողականությամբ տարրական բջիջները սովորաբար նախագծվում են մեծ ԹՓ և ՆՔ տրանզիստորներով՝ միաժամանակ բարելավելու համար ընթերցման հասանելիությունը և գրանցման ունակությունը: Մեծ տրանզիստորները, իրենց հերթին, շահավետ են փոքր ներքին փոփոխություններ ստանալու համար, ինչը հանգեցնում է սնման լարման փոքրացման: Եթե նույնիսկ անտեսվում են բարձր խտությամբ և բարձր արտադրողականությամբ բջիջների միջև ներքին փոփոխությունները, ապա բարձր խտությամբ բջիջը կարող է անհուսալի լինել

արտադրության տեսանկյունից, քանի որ տեխնոլոգիական գործընթացը սովորաբար հասցված է իր սահմանին՝ փոքր մակերեսով բջիջներ ստանալու համար:

Մեծ չափի բարձր արտադրողականությամբ (ԲԱ) տարրական բջիջի և փոքր չափի բարձր խտությամբ (ԲԽ) բջիջի համեմատությունը բերված է ստորև (նկ. 2.2):



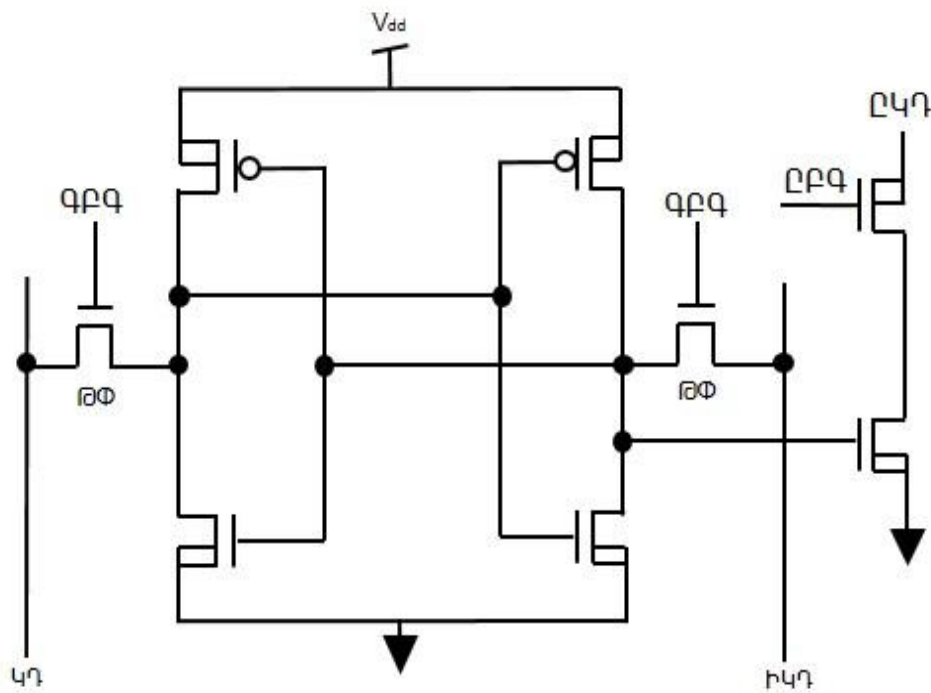
Նկ. 2. 2. Սնման լարման արժեքից արագագործ հիշողության բջիջի բիթի խափանման կախվածությունը

Այս երկու բջիջները համեմատված են միևնույն կարգային դողերի ունակային բեռով և բառի գծի ազդանշանի լայնությամբ: Կորերից յուրաքանչյուրը համապատասխանում է բիթի խափանման հաճախությանը, հաշվի առնելով դինամիկ ընթերցման կայունությունը, դինամիկ ընթերցման հասանելիությունը և դինամիկ գրանցման ունակությունը: Բարձր արտադրողականությամբ հիշողության բջիջը, որի վրա դրված է զբաղեցրած մակերեսի 30% սահմանափակում, համեմատած բարձր խտությամբ բջիջի հետ, V_{DD} -ի ամբողջ տիրույթում ունի զգալիորեն ավելի ցածր բիթի խափանման հաճախություն: Հետևաբար, ԲԱ բջիջն ունի ավելի ցածր սնման լարման թույլատրելի արժեք, քան ԲԽ բջիջը: Չնայած նրան, որ ԲԱ բջիջն ակնհայտորեն ավելի հուսալի է, քան ԲԽ բջիջը, զբաղեցրած մեծ մակերեսը կարող է լինել անընդունելի այն հավելվածներում որոնք պահանջում են հիշողության մեծ զանգված:

Ինչպես նշվեց 1.1.3-ում, ՍԿԸՀ-ներում, որտեղ որպես տարրական հիշողության բջիջ օգտագործվում է 6Տ կառուցվածքը, անհրաժեշտ է միաժամանակ օպտիմալացնել ընթերցման կայունությունը և գրանցման ունակությունը, որոնք ունեն հակադիր պահանջներ: Այս պահանջները, ինչպես նաև տրանզիստորների միջև անհամապատասխանության մեծացումը դարձնում է բջջի մասշտաբավորումը յուրաքանչյուր տեխնոլոգիայի դեպքում, առավել բարդ, երբ փորձ է արվում նվազագույնի հասցնել սնման լարումը (V_{DD}):

ՍԿԸՀ 8Տ բջիջը

Արագագործության բարձրացման նպատակով առաջարկվում է ՍԿԸՀ-ում օգտագործել երկմատույց 8Տ բջիջը (նկ. 2.3) [80]: Այն ունի նույն կառուցվածքը, ինչպես 6Տ ՍԿԸՀ բջիջը, բացառելով այն, որ ներքին հանգույցներից մեկը բուֆերացվում է դեպի ելք առանձին ընթերցման ուղիով:



Նկ. 2.3. Երկմատույց 8Տ ՍԿԸՀ-ի կառուցվածքը

Առաջարկված բջիջը բավականաչափ հուսալի է բարձր արտադրողականությամբ հավելվածներում օգտագործելու համար [81]: Ընթերցման և գրանցման գործողությունները կատարվում են իրարից անկախ, տարբեր հանգույցների միջոցով: Ընթերցման գործողությունը կատարվում է 6Տ միջոցով՝ օգտագործելով երկու կարգային դողերը (ԿԴ, ԻԿԴ), և ղեկավարվում է գրանցման

բառի գծով (ԳԲԳ): Գրանցման գործողությունը կատարվում՝ նախալիցքավորելով ընթերցման կարգային դոդը (ԳԿԴ), և ղեկավարվում է ընթերցման բառի գծով (ԸԲԳ): Գրանցման ունակության բարձրացման համար 8S բջջի 6S մասը կարող է օպտիմալացվել, մեծացնելով ԹՓ տրանզիստորի հոսքուղու լայնությունը և փոքրացնելով ՆՔ տրանզիստորի հոսքուղու լայնությունը [82]:

Գրանցման ունակությունը (β) կարելի է գնահատել որպես ԹՓ և ՆՔ տրանզիստորների հոսքուղու լայնությունների հարաբերություն [82]՝

$$\beta = \text{ԹՓ/ՆՔ} \quad (2.1)$$

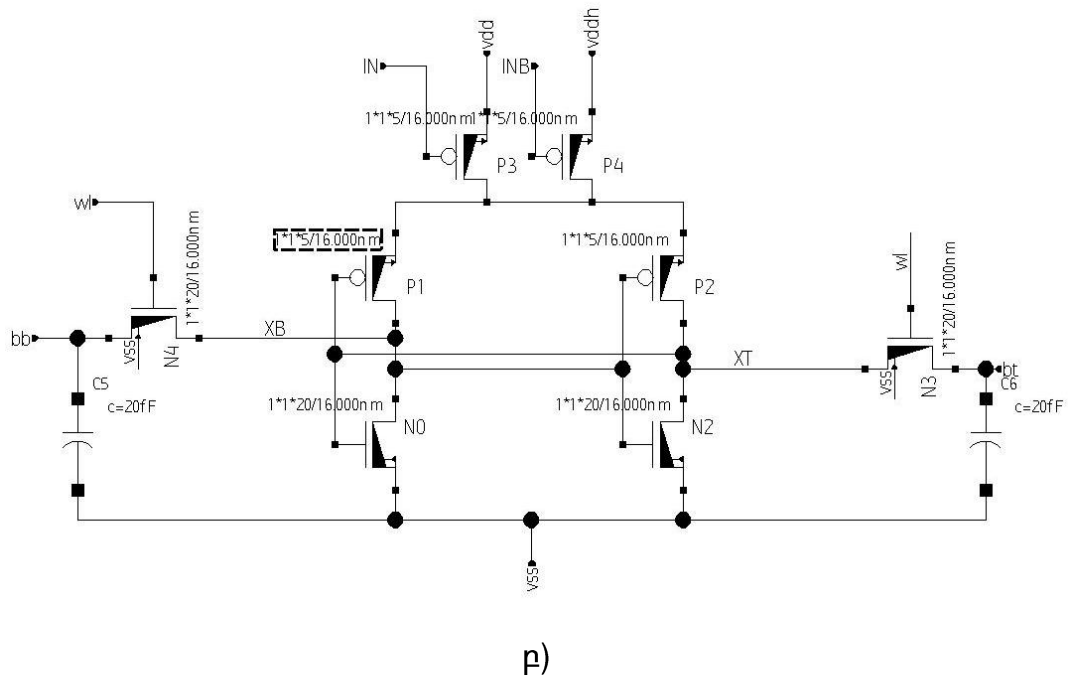
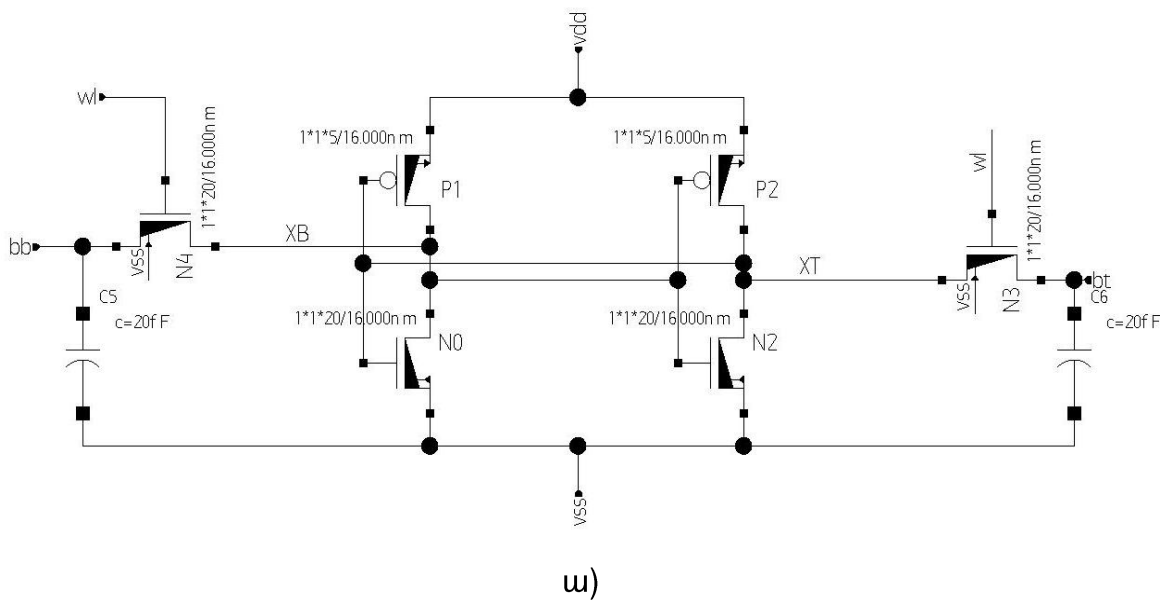
Այս մոտեցումը ոչ միայն մեծացնում է β հարաբերակցությունը, այլև միևնույն ժամանակ մեծացնում է շրջիչների փոխանցատման կետը, հետևաբար արագանում է գրանցման գործընթացը:

Այսպիսով, ստանդարտ 6S բջջի համեմատ՝ 8S բջիջն ապահովում է հուսալի այլընտրանք, փոքրացնելով ընթերցման գործողության վրա ծախսվող ժամանակը, սակայն դա տեղի է ունենում զբաղեցրած մակերեսի աճի հաշվին, որը կազմում է 40-ից 100% [83]: Չնայած որ 8S բջջում, β հարաբերակցության աճի հետևանքով, կրճատվում է գրանցման տևողությունը, միևնույն է, համեմատած 6S բջջի հետ՝ ՍԿԸԸ-ում գրանցման գործընթացն աճում է մոտ 30%-ով:

ՍԿԸԸ միամատույց 6S բջիջը

Ինչպես երևաց նախորդ շարադրանքից, օգտագործելով 8S բջիջը, հնարավոր է արագացնել ՍԿԸԸ-ի ընթերցման գործողությունը 41%-ով՝ զբաղեցրած մակերեսի զգալի աճի և գրանցման գործողության 30% մեծացման հաշվին: Նվազեցնելու համար թե՛ գրանցման, թե՛ ընթերցման գործողությունների վրա ծախսվող ժամանակը՝ առաջարկվում է այս դեպքում միամատույց 6S բջջի օգտագործումը (նկ. 2.4 ա) [84], որը համադրում է գրանցման և ընթերցման գործողությունների կրճատման հնարավորությունները: Այդպիսի միամատույց 6S բջջում, ի տարբերություն սովորական 6S-ի (նկ. 2.4 բ), բջիջներից բաղկացած յուրաքանչյուր սյան համար ավելացվում են բազմակի լարման համար նախատեսված երկու տրանզիստորներ (P3 և P4 նկ 2.4 բ), որոնցից մեկը միացնում է բջջի սխեմայի հիմնական սնուցումը, իսկ մյուսը՝ բջջի սխեմայի երկրորդական սնուցումը: Այս բջջի օգտագործումը փոքրացնում

Է ընթերցման գործողության վրա ծախսվող ժամանակը՝ համեմատած սովորական 6S բջջի հետ, մակերեսի հնարավորին չափ փոքր մեծացմամբ: Նախագծված միահանգույց 6S բջջի դեպքում տրանզիստորների քանակը, բնական է, ավելի մեծ է (օրինակում՝ 6 տրանզիստոր սովորական 6S բջիջում, նկ.2.4 բ)-ում 6 տրանզիստոր բջիջում և 2-ը՝ տարրական բջիջներից կառուցված սյուներում), քան սովորական բջիջներից կազմված սյան կազմում:



Նկ. 2. 4. Մշակված ՍԿԸՀ սխեմաները՝ ա) սովորական 6S, և բ) միամատույց 6S

Ներկայացված բջջի զբաղեցրած մակերեսը 11%-ով մեծ է սովորական 6S բջջից և 22%-ով փոքր 8S բջջից: Նախագծված փորձնական սխեմայում (տե՛ս 2.4-ը) ընթերցման գործողության ժամանակի խնայողությունը կազմել է 30%՝ 6S տարրերի օգտագործման դեպքի համեմատ:

Այսպիսով, գրանցման և ընթերցման գործողությունների վրա ծախսվող ժամանակների կրճատման համար առաջարկվել է սխեմա, որն ապահովում է անհրաժեշտ արագագործության աճ՝ կիսահաղորդչային բյուրեղի վրա մակերեսի նվազագույն կորստի պարագայում: Արդյունքում՝ հիշասարքի զբաղեցրած մակերեսը ստացվում է ավելի փոքր, քան 8S բջջի օգտագործմամբ մոտեցման դեպքում:

2.2.2. Բազմակի սնուցման դողերով ղեկավարվող ՍԿԸՀ 6S տարրական բջջի կիրառման առանձնահատկությունները և խնդիրները

ՍԿԸՀ-ում բջջի սնուցման դողերը ղեկավարող (ՍԴՂ) տրանզիստորների կիրառումը հանգեցնում է կիսահաղորդչային բյուրեղի վրա ՍԿԸՀ-ի կողմից օգտագործած մակերեսի, դինամիկ և ստատիկ ռեժիմներում էներգասպառման աճին՝ միաժամանակ բարդացնելով տոպոլոգիական նախագծումը: Սնուցման դողերը ղեկավարող սխեմայի օգտագործումը թույլ կտա ապահովել ՍԿԸՀ-ի գրանցման և ընթերցման գործողությունների վրա ծախսվող ժամանակների կրճատումը, արագացնելով բջջում կարգային դողերի լիցքաթափման գործընթացը:

ՍԴՂ-ների կիրառումը պայմանավորված է դրանց հետևյալ բնութագրերով՝

- հիշողության զանգվածում սյան սնման ղեկավարման համար օգտագործված տրանզիստորների քանակով,
- տրանզիստորների երկրաչափական չափերով՝ հոսքուղու երկարությամբ և լայնությամբ,
- լրացուցիչ դինամիկ և ստատիկ հզորություններով,
- սնման շղթայում թուլատրելի առավելագույն լարման անկմամբ:

Ստորև ներկայացված են սնման դողերը ղեկավարող տրանզիստորների մեթոդի կիրառման դեպքում առաջացող խնդիրները և դրանց կարևորությունը:

Սնուցման դողերը ղեկավարող տրանզիստորների չափերի գնահատումը.

Տարրական հիշողության բջջից կազմված սյուներում ՍԴՂ-ների կիրառումը, համապատասխան գործողության դեպքում, մեծացնում է բջիջների հիմնական սնուցման լարման մակարդակը (նկ. 2.5):

Հետևաբար՝ դա հանգեցնում է բջիջների արագագործության բարձրացմանը, քանի որ գրանցման և ընթերցման գործողությունները կախված են օգտագործվող սնուցման լարումից [85]:

$$t_{\text{հապ}} = \frac{C_{\text{բեռ}} V_{\text{սն}}}{(V_{\text{սն}} - V_{\text{շեմ}})^\alpha}, \quad (2.2)$$

որտեղ $V_{\text{սն}}$ -ը սնման լարումն է, $t_{\text{հապ}}$ -ը՝ տարածման հապաղումը, $C_{\text{բեռ}}$ -ը՝ հանգույցի ունակային բեռը, $V_{\text{շեմ}}$ -ը՝ շեմային լարումը, α -ն՝ կարճ հոսքուղու երկույթների նկարագրման գործակիցը: Կիրառելով տրամաբանական ցածր մակարդակի լարումը ղեկավարող տրանզիստորի փականին՝ տեղի կունենա ΔV լարման անկում, հետևաբար՝ վերոնշյալ (2.2) արտահայտությունը կունենա հետևյալ տեսքը՝

$$t_{\text{տար1}} = \frac{C_{\text{բեռ}} (V_{\text{սն}} - \Delta V)}{(V_{\text{սն}} - \Delta V - V_{\text{շեմ}})^\alpha}: \quad (2.3)$$

Այսպիսով, արագագործության փոփոխությունը ($t_{\text{տար}}$) կարելի է ներկայացնել հետևյալ կերպ՝

$$\Delta t = t_{\text{տար}} - t'_{\text{տար}} = \frac{C_{\text{բեռ}} V_{\text{սն}}}{(V_{\text{սն}} - V_{\text{շեմ}})^\alpha} - \frac{C_{\text{բեռ}} (V_{\text{սն}} - \Delta V)}{(V_{\text{սն}} - \Delta V - V_{\text{շեմ}})^\alpha}: \quad (2.4)$$

Ղեկավարող տրանզիստորի կորստային հոսանքը կարելի է գնահատել հետևյալ բանաձևով՝

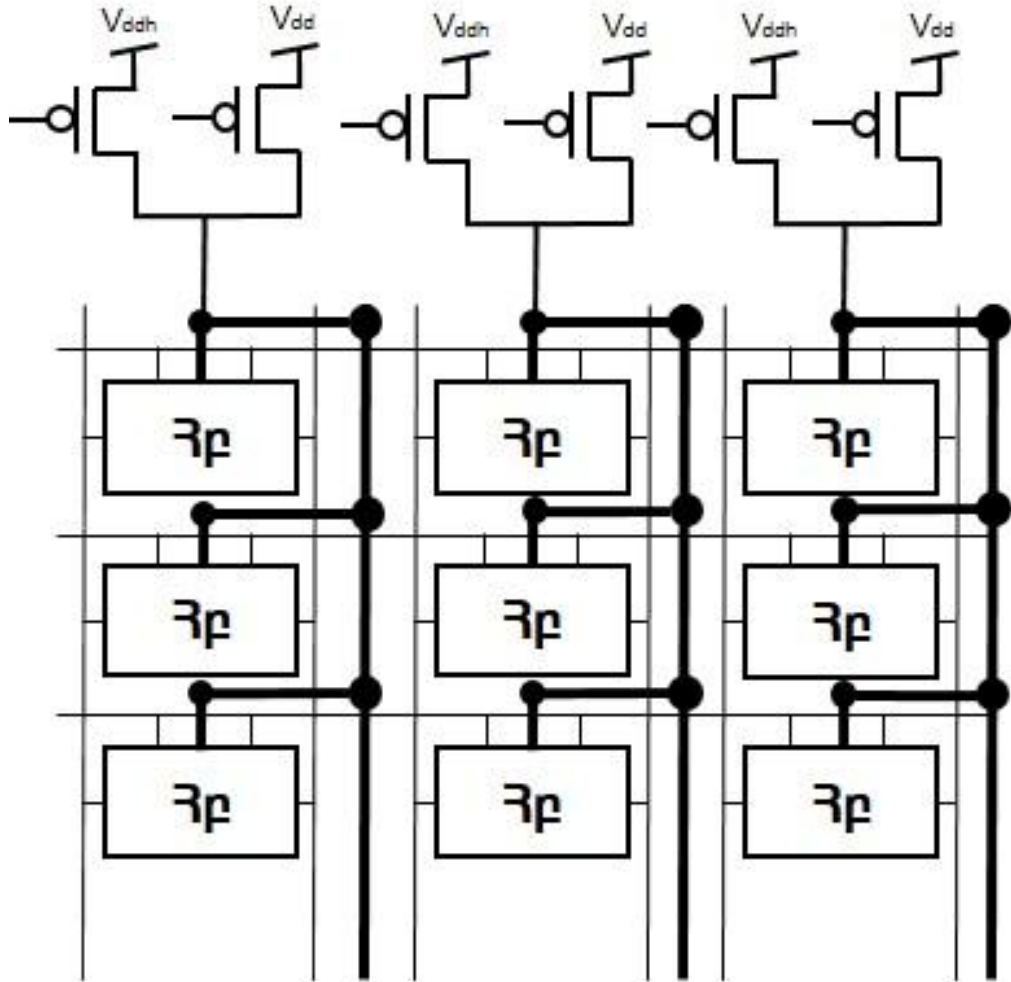
$$I_{\text{կս}} = \mu \cdot C_{\text{օք}} \left(\frac{W}{L} \right)_{\text{ՍԴՂ}} \cdot e^{1.8} \cdot V_{\text{T}}^2 e^{\frac{V_{\text{դա}} - V_{\text{շեմ}}}{nV_{\text{ջ}}}} \left(1 - e^{-\frac{V_{\text{աա}}}{V_{\text{ջ}}}} \right), \quad (2.5)$$

որտեղ $\left(\frac{W}{L} \right)_{\text{ՍԴՂ}}$ -ը սնման դողերը ղեկավարող տրանզիստորի չափը բնութագրող գործակիցն է, իսկ V_{T} - ն՝ ջեմային պոտենցիալը:

Հետևաբար՝ ՍԴՂ տրանզիստորների չափերի որոշումը հանգում է սխեմայի ժամանակային պարամետրերի ներկայացվող պահանջների բավարարմանը:

ՄԴՂ տրանզիստորների օպտիմալ քանակների որոշումը.

ՄԴՂ-ների օպտիմալ քանակը պայմանավորված է հիշողության զանգվածի սյուներում տարրական բջիջների անխափան աշխատանքի համար անհրաժեշտ հոսանքի չափով և կայուն գործողությունների ապահովմամբ (նկ. 2.5) [86]:



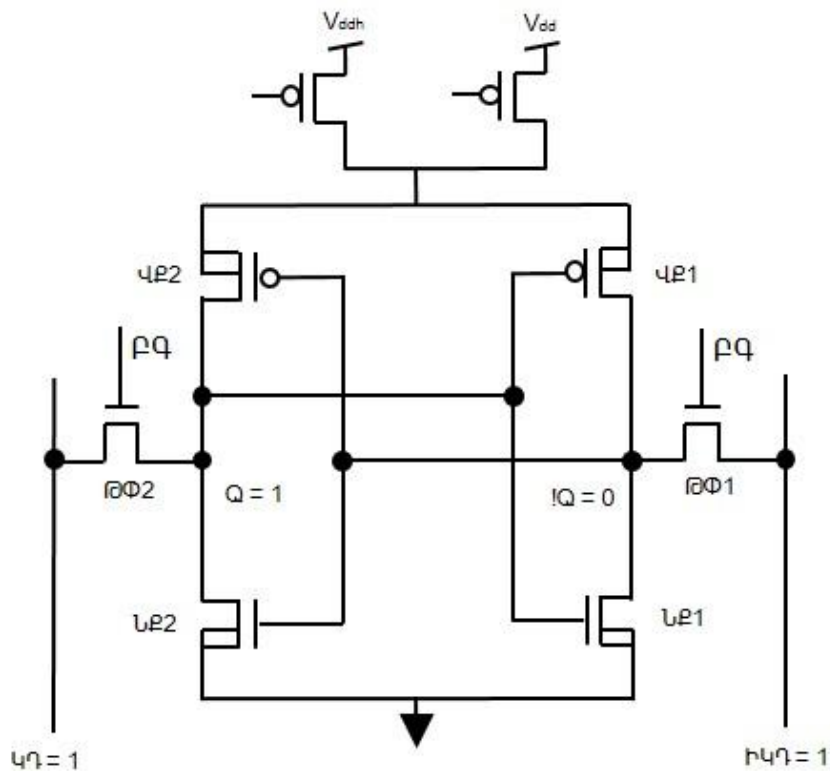
Նկ. 2.5. ՄԴՂ-ներով իրականացված հիշողության զանգվածը

Երբ ՍԿԸՀ-ում կատարվում է գրանցման կամ ընթերցման գործողություն, և ըստ մուտքային հասցեների՝ ընտրվում է համապատասխան բջիջը, ապա ՄԴՂ-ով հոսում է $I_{\text{ընթ}}$ կամ $I_{\text{գր}}$ հոսանքը, քանի որ այդ ընթացքում բջջի սնուցումը փոխարինվում է երկրորդական սնուցմամբ: Այսպիսով, ՄԴՂ-ով հոսող հոսանքը կունենա հետևյալ կախվածությունը հապաղումից և ՄԴՂ-ի չափից [87]:

$$I_{\text{գր/ընթ}} \approx \mu \cdot C_{\text{օբ}} \left(\frac{W}{L} \right)_{\text{գր/ընթ}} (V_{\text{սն}} - V_{\text{տն}}) \Delta V: \quad (2.6)$$

Գրանցման գործողության ընթացքում ՍԿԸՀ-ի բջիջը առավել հակված է խափանմանը: Ընտրված բառի գծի ակտիվացումից անմիջապես հետո ներքին պահեստային հանգույցում (!Q), որտեղ պահվում է տրամաբանական «0» արժեքը (նկ. 2.6), լարման մակարդակը մի փոքր բարձրանում է՝ ԹՓ1 և ՆՔ1 տրանզիստորների միջև առաջացող լարման բաժանարարի երևույթի պատճառով:

Եթե պահեստային հանգույցում ընթերցման ընթացքում լարման մակարդակը բարձրանա հարակից ՆՔ1 տրանզիստորի շեմային լարումից, ապա բջջում պահված տվյալը հնարավոր է, որ շրջվի:



Նկ. 2.6. ՍԴՂ տրանզիստորով իրականացված ՍԿԸՀ 6Տ բջջի կառուցվածքը

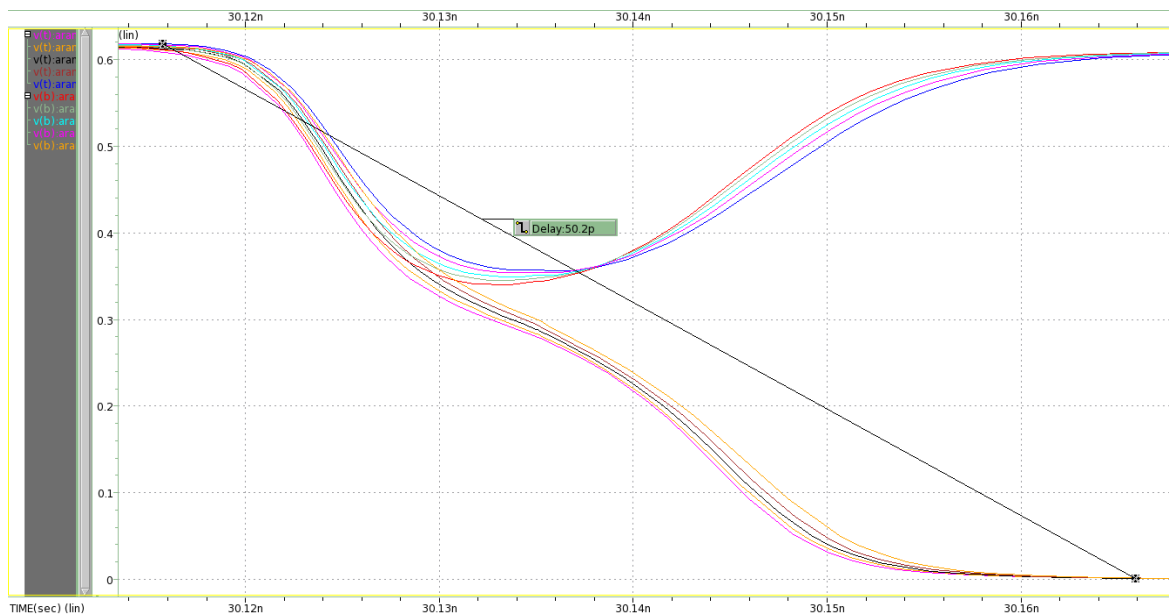
Հետևաբար, կայուն ընթերցման գործողությունը պահանջում է, որ ՆՔ1 տրանզիստորով հոսող հեսանքի արժեքը ավելի մեծ լինի քան ԹՓ1-ով հոսող հոսանքը, ինչը կարելի է ներկայացնել հետևյալ կերպ՝

$$\left(\frac{W}{L}\right)_{\text{ՆՔ}} (V_{\text{ԲՁԻՁ}} - V_{\text{ՆՔ2ԵՄ}})^{\alpha} \gg \left(\frac{W}{L}\right)_{\text{ԹՓ}} (V_{\text{ԲԳ}} - V_{\text{ԹՓ2ԵՄ}})^{\alpha} : \quad (2.7)$$

Այդպիսով, անջատման տրանզիստորի անհրաժեշտ չափերի որոնումը հանգում է լրացուցիչ նվազագույն կորստային հզորության ավելացմամբ սխեմայի ժամանակային պարամետրերի վրա դրված պահանջների բավարարմանը:

2.2.3. Սնուցման դողերը ղեկավարող տրանզիստորների արդյունավետության բարձրացումը

Ինչպես ցույց տրվեց նաորդ շարադրանքում, ՍԿԸՀ-ի կայուն գործողությունների համար անհրաժեշտ է հիշողության զանգվածի սյուններում ապահովել հոսանքի բավարար քանակ: Խափանման պայմանը գտնելու նպատակով կատարվել է սխեմատեխնիկական մոդելավորում 16ՆՄ տեխնոլոգիական գործընթացով արտադրված տարբեր չափերի ՄՕԿ տրանզիստորների համար: Ընթերցման գործողության համար երկրորդական սնուցման լարման արժեքը ընտրվել է $1,16 \bullet V_{սն}$ (նկ. 2.7):

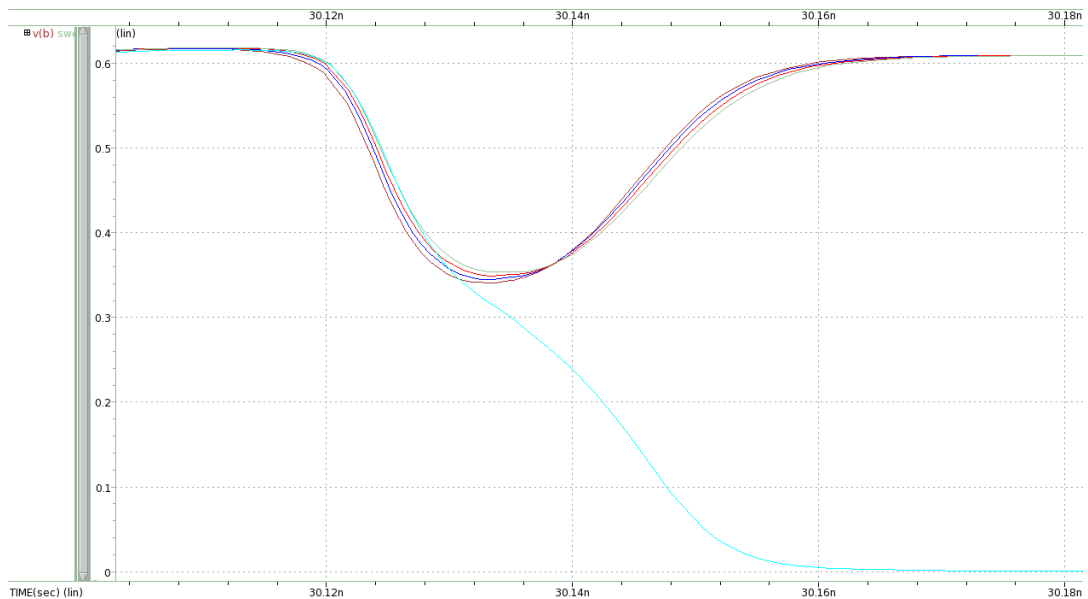


Նկ. 2. 7. Սնման դողերը ղեկավարող տրանզիստորի երկրաչափական չափերից ընթերցման հապաղման կախվածությունը

Մոդելավորման արդյունքներից երևում է, որ սնման դողի ղեկավարման տրանզիստորի հոսքուղու W_h լայնության աճի հետ մեկտեղ կրճատվում է ընթերցման գործողության հապաղումը, քանի որ նվազում է կարճ հոսքուղու երևույթների ազդեցությունը: Այն հասնում է առավելագույն արժեքի 154ՆՄ երկարության դեպքում:

Հոսքուղու լայնության հետագա աճը հանգեցնում է ընթերցման խափանմանը, քանի որ հոսքուղու դիմադրության մեծացման պատճառով հիշողության բջջի ՎՔ տրանզիստորի ակունք-հարթակ լարման մակարդակը փոքրանում է՝ հանգեցնելով բջիջում տվյալների շրջմանը (նկ. 2.8): Այսպիսով, ունենալու համար նվազագույն

ընթերցման գործողության հապաղում՝ 16 նմ տեխնոլոգիական գործընթացի համար անհրաժեշտ է ընտրել ՍԴՂ տրանզիստոր. համեմատաբար կարճ հոսքուղու լայնությամբ ($W_n=154$ նմ) տրանզիստորը կունենա β -ի առավելագույն արժեքը:



Նկ. 2. 8. Սնման դողերը ղեկավարող տրանզիստորի երկրաչափական չափերից ընթերցման խափանման կախվածությունը

2.2.4. Արագագործ նախալիցքավորման սխեմայի նախագծման եղանակների մշակումը

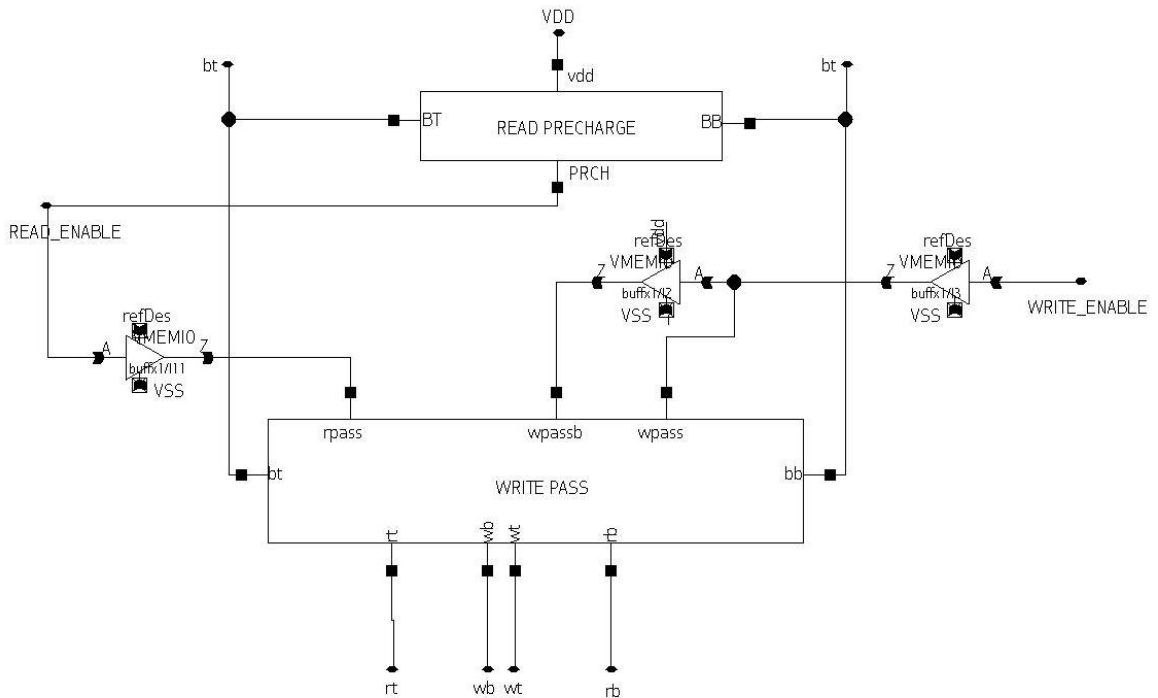
Ինչպես երևում է 1.1.2-ից, ՍԿԸՀ-ում ընթերցման գործողության հիմնական բաղադրիչներից մեկը նախալիցքավորման շղթան է: Ստորև բերված են այս տարրի նախագծման առաջարկվող եղանակները և հնարավոր թերությունների վերլուծությունը [88]:

Առաջարկվող արագագործ նախալիցքավորման սխեման.

Ներկայացված է նախալիցքավորման սխեմայի մշակումն արագագործ հիշասարքերի դեպքում, որը թույլ է տալիս ապահովել կայուն և ճշտագրիտ ընթերցում համապատասխան բջիջում գրանցումից հետո:

Մշակված նախալիցքավորման սխեման հարմար է օգտագործել արագագործ հիշասարքերում, որոնք կարող են գրանցել և ընթերցել տեղեկությունները ՍԿԸՀ-ից 1,2ԳՀց-ից 2ԳՀց հաճախությամբ [89]:

ՍԿԸՀ-ում ընթերցման գործողությունից առաջ անհրաժեշտ է լիցքավորել կարգային դողերը, իսկ գրանցման ընթացքում թողանցել տվյալները բջջից դեպի արտաքին հանգույցներ: Առաջարկվում է այս դեպքում նոր տարրի օգտագործում, որը համադրում է գրանցման գործողությունից առաջ նախալիցքավորումը և տվյալների թողանցումը գրանցման գործողության ընթացքում (նկ. 2.9):

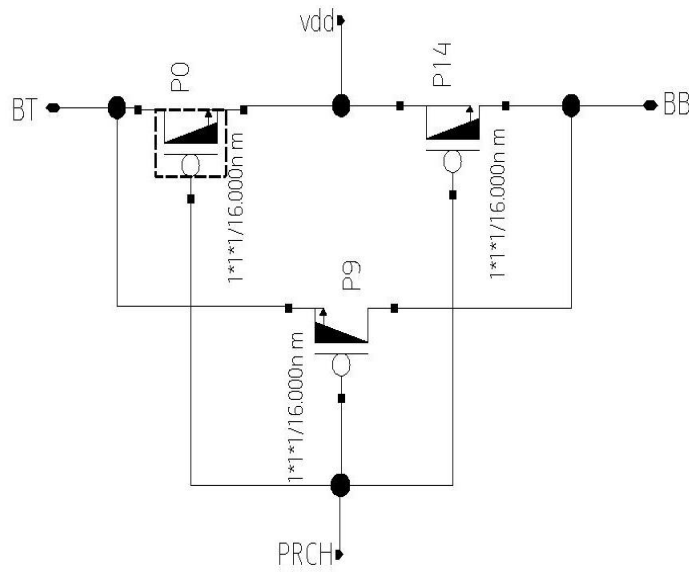


Նկ. 2.9. Առաջարկված նախալիցքավորման սխեմայի կառուցվածքը

Այսպիսի նախալիցքավորման սխեմայում, ի տարբերություն սովորական սխեմայի (նկ. 2.9), ավելացվում է թողանցման հնարավորություն ապահովող բլոկը (նկ. 2.10): Այս բլոկներից մեկն ապահովում է լիցքավորումը («Read Precharge»), իսկ մյուսը՝ թողանցում տվյալները դեպի ելքային հանգույց («Write Pass»): Ակնհայտ է, որ այս բլոկները չեն կարող կատարել իրենց ֆունկցիոնալությունը միաժամանակ, քանզի կխախտվի ՍԿԸՀ-ի անխափան աշխատանքը, և կտրամադրվեն սխալ արդյունքներ:

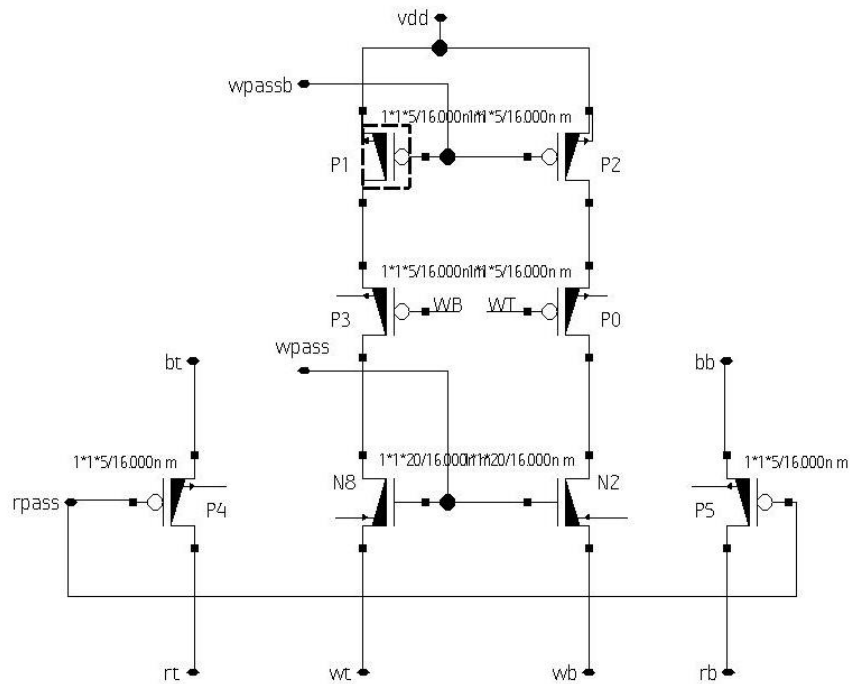
Ընթերցումից առաջ կարգային դողերը պետք է լիցքավորվեն մինչև լարման տրամաբանական բարձր մակարդակը: Այդ նպատակի համար անհրաժեշտ է ակտիվացնել լիցքավորման բլոկը և միաժամանակ ապասկտիվացնել թողանցման բլոկը: Կարգային դողերի լիցքավորման հանգույցը կազմված է երեք ՄՕԿ տրանզիստորներից: Նախքան գրանցումը կամ ընթերցումը, ակտրվացնող

հանգույցում կիրառելով ցածր արժեք ($PRCH=0$), P0, P14 և P9 տրանզիստորները կբացվեն, և ԻԿԴ (BB) և ԿԴ (BT) կլինեն կարճ միացված, հետևաբար՝ դրանց միջև լարումների տարբերությունը կլինի «0» և հավասար սնման լարմանը:

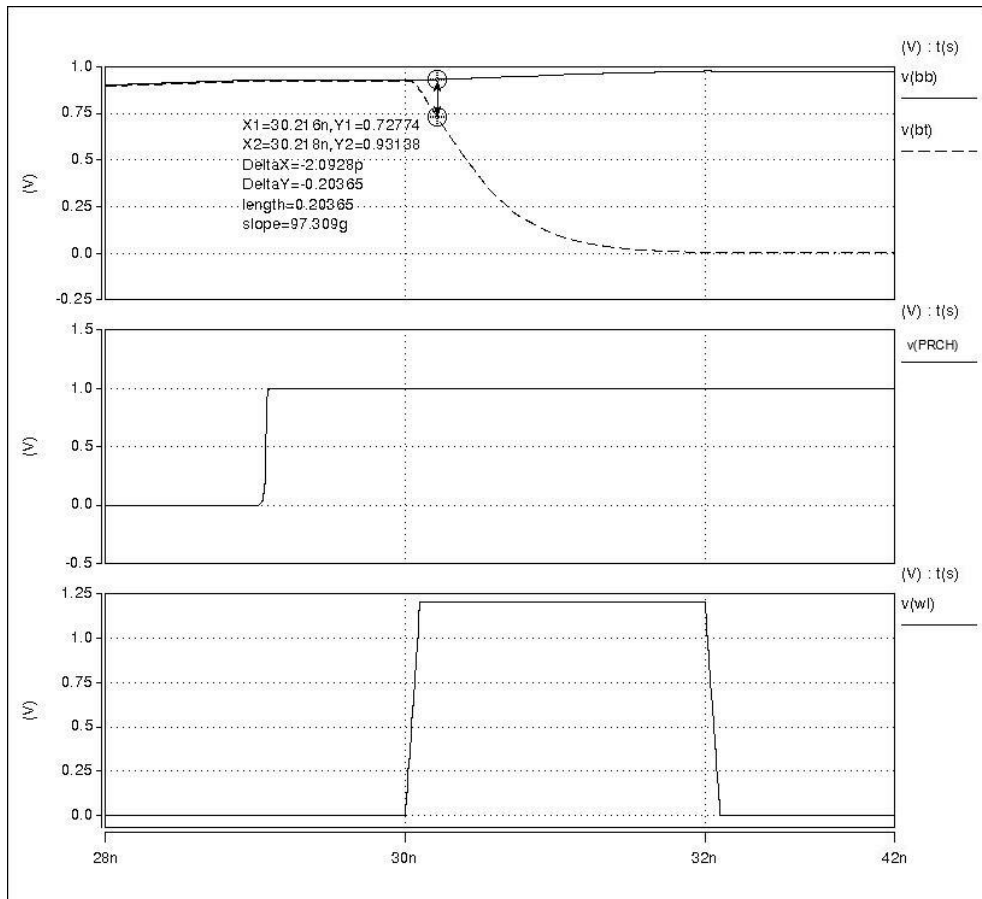


Նկ. 2.10. Սովորական նախալիցքավորման սխեմայի կառուցվածքը

Կատարվել է մշակված սխեմայի մոդելավորում՝ օգտագործելով համապատասխան ծրագրային գործիքը տարբեր գործընթացների համար (դանդաղ, տիպային, արագ), երբ ՍԿԸՀ-ի բջջից ընթերցվում է «0» (նկ. 2.12):



Նկ. 2.11. Թողանցման հնարավորություն ապահովող սխեմայի կառուցվածքը



Նկ. 2.12. Արագագործ նախալիցքավորման սխեմայի նմանարկման արդյունքները

Նախալիցքավորման փուլում «PRCH» հանգույցում «0» է, հետևաբար՝ երկկարգային դողերը լիցքավորված են մինչև V_{DD} , իսկ գնահատման փուլում «PRCH» հանգույցում «1» է: Այս սխեմայի օգտագործումը հանգեցրել է արագագործության մոտ 5% խնայման, սակայն մեծացրել է զբաղեցրած մակերեսը մոտ 2%-ով:

Արագագործ նախալիցքավորման սխեմայի թերությունների վերլուծությունը.

Նախալիցքավորման սխեմայի հիմնական խափանման պատճառն է բաց դիմադրության (ԲԴ) արատը: Այն սահմանվում է որպես արատավոր դիմադրություն շղթայի երկու հանգույցների միջև, որոնք պետք է կապված լինեն [90]:

Արագագործ նախալիցքավորման սխեմայում ԲԴ-ների հնարավոր վայրերը բազում են, հետևաբար՝ նպատակահարմար է դիտարկել միայն ԻԿԴ-ի հատվածում առաջացող ԲԴ-ները, քանի որ սխեման սիմետրիկ է (նկ. 2.13) [91]:

Պարզության նպատակով յուրաքանչյուր վերլուծության համար կարելի է հաշվի առնել միայն մեկ թերություն, քանի որ բազմակի արատների առաջացումն ունի փոքր

հավանականություն 6S ՍԿՀԸ բջջում, տրանզիստորների փոքր քանակի պատճառով: Մասնավորապես, ասիմետրիկ խափանման համար դիտարկվել են՝ «R2», «R3» և «R5» ԲԴ-ները:

R5 արատը.

Այս խափանումն ասիմետրիկ է և, անկասկած, այն ամենաարդյունավետ խափանման պատճառն է, քանի որ իր գործողությունը ոչ միայն կանխում է ԻԿԴ-ի լարման մակարդակի ճշգրիտ բարձրացումը, այլև «P9» տրանզիստորի հավասարեցնող ազդեցությունը: «R5» թերության առկայության դեպքում «P9» տրանզիստորը նպաստում է ԿԴ-ից ասիմետրիկ լիցքի փոխանցմանը:

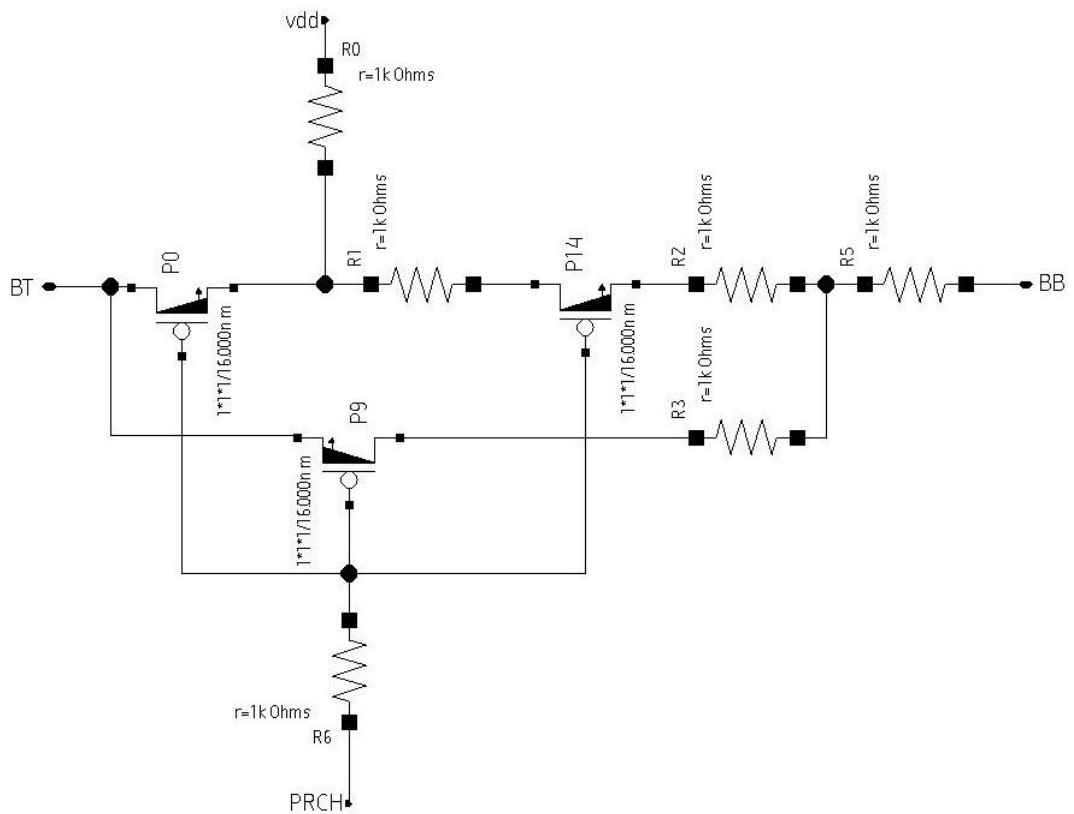
R3 արատը.

Այս արատն առաջացնում է որոշակի խնդիրներ նախալիցքավորման և հավասարեցման ընթացքում: Իրականում, եթե «P0» և «P14» տրանզիստորների երկրաչափական չափերը մեծ չեն, ապա «P9» տրանզիստորի գործողությունը կարող է վճռորոշ լինել: Նախնական իրավիճակում, երբ ԻԿԴ հանգույցում (bb) հաստատված է տրամաբանական «0» մակարդակը, իսկ ԿԴ հանգույցում (bt) «1», և իրականացվում է նախալիցքավորում, ԻԿԴ հանգույցի լիցքավորումը «0»-ից V_{DD} «P14» տրանզիստորի միջոցով հնարավոր է, որ չբավարարի պատշաճ գործողության ընթացքին: Անարատ շղթայում «P0» տրանզիստորն օժանդակում է ԻԿԴ հանգույցի լիցքավորմանը, քանի որ ԿԴ-ն արդեն լիցքավորված է մինչև V_{DD} : Ավելին, երբ «P0» և «P14» տրանզիստորները ակտիվացված են, դրանք աջակցում են կարգային դողերի հավասարեցմանը:

Այս փաստը վկայում է այն, որ հիշասարքը ֆունկցիոնալ տեսանկյունից կարող է աշխատել անխափան նույնիսկ «R3» արատի առկայության դեպքում:

R2 արատը.

Այս արատն ունի ասիմետրիկ բնույթ և իրականացնում է խանգարում ԻԿԴ հանգույցում լիցքավորման ընթացքում: Այս թերությունը մասամբ կրճատվում է «P9» տրանզիստորի առկայության շնորհիվ, որը նպաստում է ԻԿԴ հանգույցի լիցքավորմանը, վերցնելով լիցքերը «P0»-ից և ԿԴ-ից: Հանգույցը նախապես գտնվում է տրամաբանական բարձր լարման մակարդակում:



Նկ. 2.13. ԲԴ արատներով ներարկված նախալիցքավորման սխեմայի կառուցվածքը

Գործնականում երկու կարգային դողերը լիցքավորվում են «P0» տրանզիստորի միջոցով, բայց ԿԴ-ը կարող է ավելի շատ լիցքավորված լինել, քան ԻԿԴ-ն, քանի որ հոսանքը հոսում է միայն «P0» տրանզիստորով:

Առաջարկված արագագործ նախալիցքավորման սխեմայի համար կատարվել է սխեմատեխնիկական մոդելավորում 16նմ տեխնոլոգիական գործընթացով արտադրված տարբեր չափերի ՄՕԿ տրանզիստորներով: Ընթերցման ռեժիմի համար սնման լարման արժեքը ընտրվել է 1,5Վ, իսկ աշխատանքային հաճախությունը՝ 1,4Գհց (աղ. 2.1):

Աղյուսակ 2. 1

Համապարասխան արարների նմանական արդյունքները

Արատի տեսակ	Խափանման մոդել	Նվազագույն դիմադրություն
R5	անվերականգնելի ընթերցում/գրանցում	240Ոհմ / 440Ոհմ
R3	չկա խափանում (թույլ ΔԿԴ)	-
R2	չկա խափանում (թույլ ΔԿԴ)	-

Արդյունքներից երևում է, որ նախալիցքավորման սխեման զգայուն է միայն արատի նկատմամբ: «R0» արատը, որն առաջացնում է խափանում կարգային դողերի լիցքավորման ընթացքում, այնքան էլ մեծ չէ, քանի որ նույնիսկ եթե դողերը չեն հասնում vdd-ի մակարդակին, շղթայում կա լավ հավասարեցում: «R2» և «R3» արատների առկայության դեպքում նախալիցքավորման սխեմայի ելքում առաջանում է սխալ ΔV_T ($\Delta V_T = |V_T - V_{T0}|$), որն այնքան մեծ չէ, որ առաջացնի խափանում հիշասարքում: «R5» արատի դեպքում առաջանում են անվերականգնելի ընթերցում և գրանցում: Անվերականգնելի ընթերցման կամ գրանցման խափանումները ներկայացնում են այն իրավիճակը, երբ կարգային դողերն ամբողջությամբ չեն լիցքավորվում ընթերցման կամ գրանցման գործողության ավարտից հետո:

Այսպիսով, ընթերցման գործողության համար առաջարկվել է արագագործ նախալիցքավորման սխեմա, և կատարվել է առաջարկված սխեմայի թերությունների վերլուծություն: Հայտնաբերվել են սխեմայի բոլոր հնարավոր արատները, որոնք հնարավոր է, որ առաջացնեն ՍԿԸՀ-ի աշխատանքի խափանում: Համեմատած նախկինում ՍԿԸՀ-ներում օգտագործվող նախալիցքավորման սխեմայի հետ, առաջարկված սխեման ապահովում է գրանցման ընթացքում տվյալների թողանցում և ընթերցման գործողության վրա ծախսվող ժամանակի կրճատում:

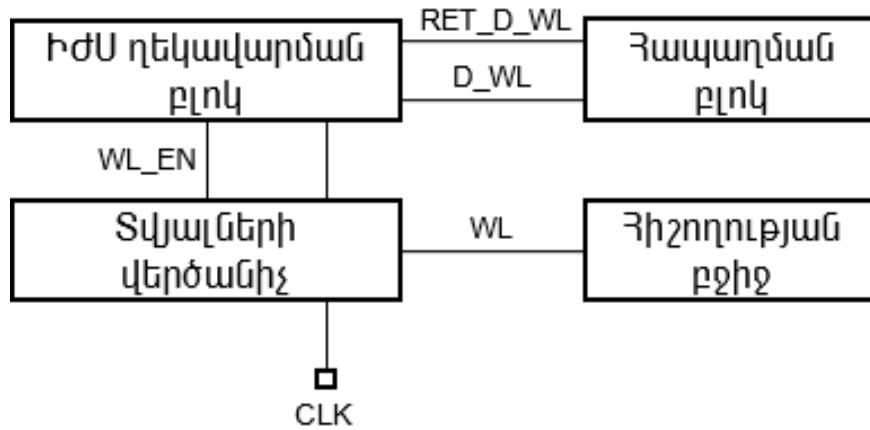
2.2.5. Ընթերցման և գրանցման համաձայնեցման ինքնաժամանակաչափ սխեմայի մշակումը

Ինչպես նշվեց 1.1.4-ում, խուսափելու համար հիշասարքի խափանումներից՝ անհրաժեշտ է կառավարել բառի գծի ազդանշանի մակարդակի տևողությունը ընթերցման և գրանցման գործողությունների համար: Այդ համաձայնեցումը թույլ կտա ապահովել տվյալների ընթերցման կամ գրանցման կայունությունը:

Լուծելու համար այս խնդիրը արագագործ հիշասարքերի համար՝ առաջարկվում է նոր ինքնաժամանակաչափ սխեմայի (ԻԺՍ) օգտագործում, որն օժտված է բառի գծի մակարդակի փոփոխության կառավարման հնարավորությամբ:

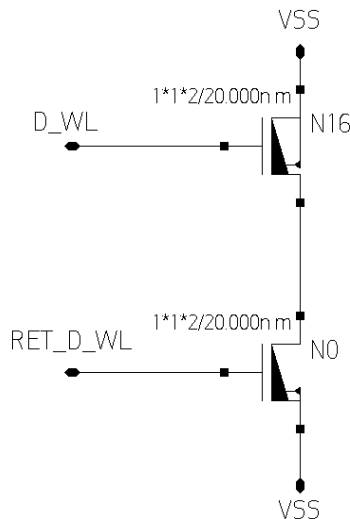
Սխեման նախագծված է այնպես, որ հիշասարքում առանց որևէ հավելյալ մատույցի ավելացման, միայն ներքին ազդանշաններով հնարավոր լինի կառավարել

բառի գծի ակտիվացման տևողությունը: Այն բաղկացած է որոշակի ենթասխեմաներից՝ ղեկավարման բլոկ և հապաղման բլոկներ: ԻԺՍ-ն ներկառուցվում է հիշողության զանգվածի վերևի հատվածում՝ տողի տեսքով: Հապաղման բլոկների քանակը կախված է հիշողության զանգվածում սյուների քանակից (նկ. 2.14):



Նկ. 2.14. Հիշասարքում ինքնաժամանակաչափի սխեմայի տեղաբաշխումը
Հապաղման բլոկներ.

Այս բլոկները ներկայացնում են տրանզիստորային ունակություններ, որոնք միանալով ԻԺՍ ղեկավարման բլոկին՝ ապահովում են կեղծ բառի գծի «D_WL» ազդանշանի հապաղում: Նրանց դերը ԻԺՍ բլոկի վրա հավելյալ բեռի ավելացնելն է (նկ. 2.15):

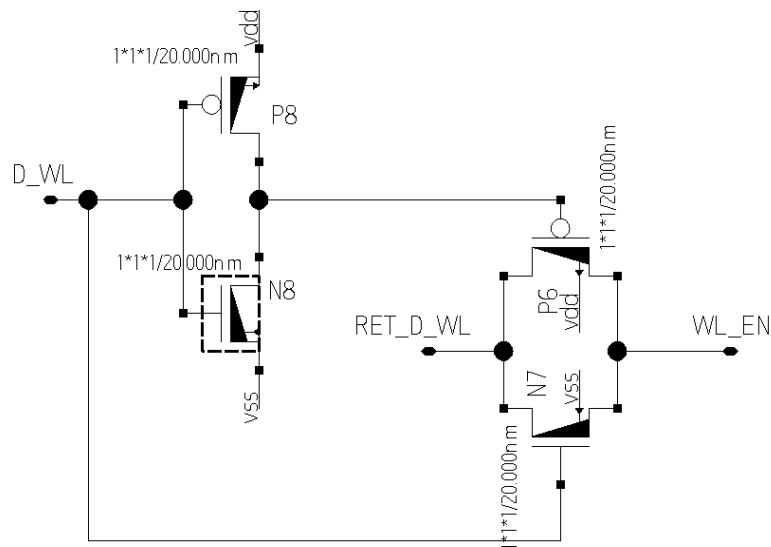


Նկ. 2. 15. Հապաղման բլոկի կառուցվածքը

ԻԺՍ ղեկավարման բլոկը.

Սա տեղադրվում է հասցեների վերձանիչի բլոկի վերին հատվածում:

Սինթրոագրանշանի ակտիվացմամբ ակտիվանում են տողի վերձանիչները և ըստ մուտքային հասցեների՝ արտաձում են համապատասխան բառի գծի դրական ճակատը: Միևնույն ժամանակ, սինթրոագրանշանը տրվում է ԻժՍ բլոկին որպես մուտք, ակտիվացնելով կեղծ բառի գծի «D_WL» ազդանշանը, որն անցնելով հապաղման բլոկների միջով՝ վերադառնում է «RET_D_WL» ազդանշանի տեսքով: Վերադարձվող ազդանշանից գեներացվում է բառի գծի ազդանշանի բացասական ճակատը ղեկավարող «WL_EN» ազդանշանը, որի «1» արժեքի պարագայում անջատում է բառի գիծը (նկ. 2.16):



Նկ. 2. 16. Ինքնաժամանակաչափ ղեկավարման բլոկի կառուցվածքը

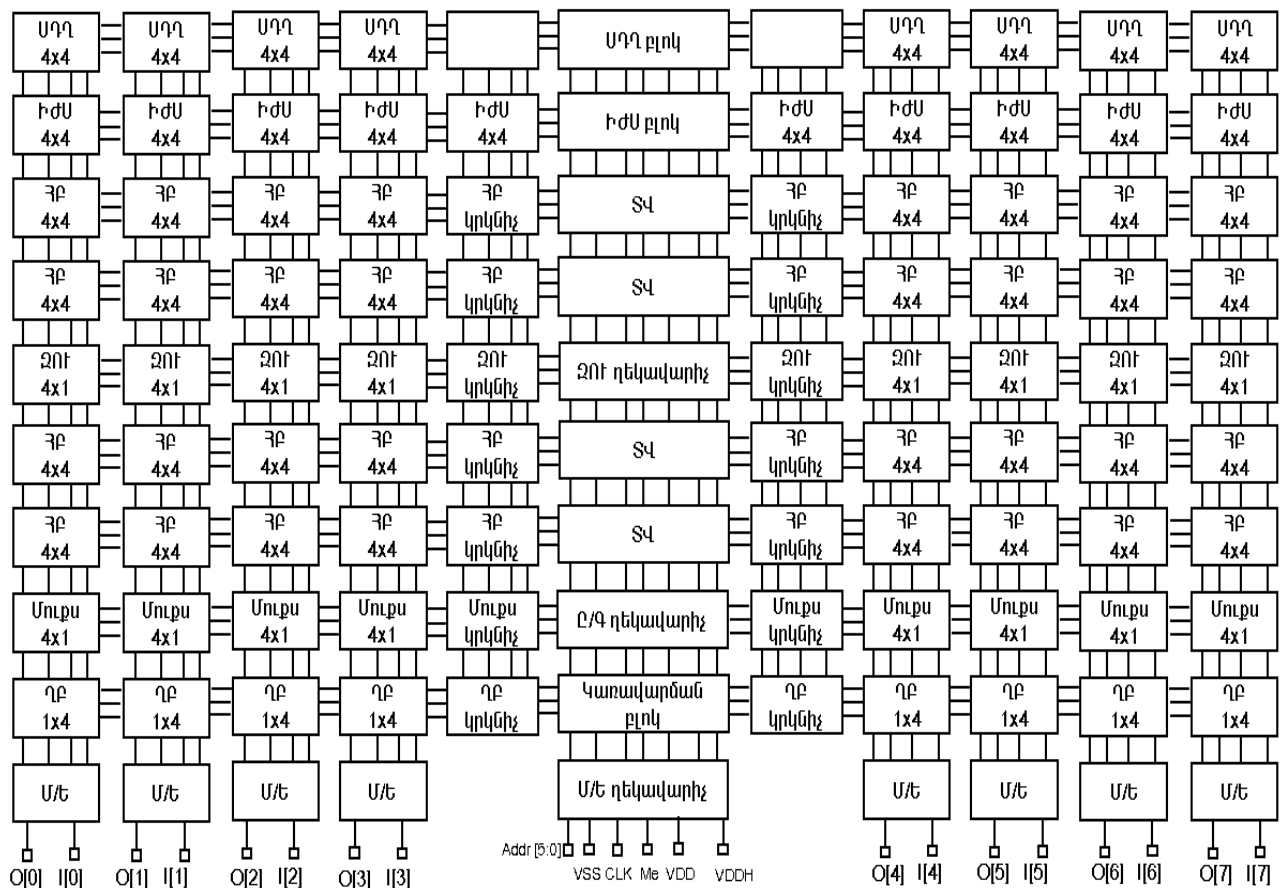
Այսպիսով, մշակվել է բառի գծի ազդանշանի տևողության ղեկավարման մեթոդ, որը բյուրեղի վրա զբաղեցրած մակերեսի թույլատրելի կորստի պարագայում ապահովում է հիշողության բջջի գրանցման և ընթերցման գործողությունների անխափան աշխատանքը:

2.5. Առաջարկված մեթոդների համատեղ կիրառմամբ ստատիկ կամայական ընտրությամբ հիշասարքի մշակումը

Ըստ 1.1-ում ցույց տրված արդյունքների ԻՍ-երը կազմող ՍԿԸԸ-ների արագագործությանը ներկայացվում են խիստ պահանջներ:

Առաջարկվել է ՍԿԸԸ-ում ներկառուցել ՍԴՂ տրանզիստորներով հիշողության զանգվածը, արագագործ նախալիցքավորման սխեման, ինքնաժամանակաչափ

սխեման, միևնույն ժամանակ կիրառելով բանկավորման, կրկնակի սնուցման դողերի և կենտրոնում վերծանիչի մեթոդները՝ միաժամանակ գրանցման և ընթերցման գործողությունների արագագործության բարձրացման նպատակով: Ըստ ՍԿԸՀ-ների ստանդարտ կառուցվածքի՝ առաջարկված ՍԿԸՀ-ն բաժանվել է որոշակի քանակի բլոկների՝ հիշողության զանգված (<2), գգայուն ուժեղարար (ԶՈԻ), սյան մուլտիպլեքսոր (ՄՍ), հասցեի վերծանիչ (<4), սյան վերծանիչ (ՍՎ), հասցեին տրիգեր (<S), տողի վերծանիչ (SՎ), մուտք/ելք սխեմա (Մ/Ե), ընթերցման-գրանցման (ԸԳԿ) կառավարող սխեմա և արագագործ նախալիցքավորման սխեմա (ԱՆՍ), տողի և սյան ուժեղացնող կրկնիչ (ՏՈԻԿ, ՍՈԻԿ), ինքնաժամանակաչափ սխեմա (ԻԺՍ) (նկ. 2.17), ՍԴՂ:



Նկ. 2.17. Մշակված արագագործ միամատույց ՍԿԸՀ-ի կառուցվածքը

Կառուցվել է 64x8 ՍԿԸՀ՝ <2-ի երկու բանկերով, կենտրոնում վերծանիչով և 4x1 մուլտիպլեքսորներով: Բոլոր ենթասխեմաները բաժանված են ըստ բլոկների: Առաջարկված մեթոդների համատեղ կիրառման հիման վրա 16նմ-անոց տեխնոլոգիայով մշակվել է 0,61Վ հիմնական և 0,71Վ երկրորդական սնուցման լարման

դողերով միամատույց ՍԿԸՀ սխեմա: Այն բաղկացած է 16 բառի գծերից, 32 կարգային դողերից, յուրաքանչյուր սյուն ունի համապատասխան 4-ը 1-ի մուտիպլեքսոր՝ հիշասարքի ելքում 8 ելքային մատույց ապահովելու համար: Սխեման ունի երկու հիմնական մատույց, որով հաջորդաբար կատարվում են գրանցման կամ ընթերցման գործողությունները:

Աղյուսակ 2.2.

Արագագործ միամատույց ՍԿԸՀ-ի ելուստները

Ելուստ	Բիթայնություն	Տեսակ	Անվանումը
Addr	[6:0]	մուտք	Ընթերցման-գրանցման հասցե
CLK	1	մուտք	Սինքրոնազդանշան
WE	1	մուտք	Գրանցման թույլատրում ցածր մակարդակով
ME	1	մուտք	Հիշասարքի աշխատանքի թույլատրում բարձր մակարդակով
I	[7:0]	մուտք	Տվյալների մուտք
O	[7:0]	ելք	Տվյալների ելք
VDD	1	մուտք/ելք	Հիմնական սնման լարում
VDDH	1	մուտք/ելք	Երկրորդական սնման լարում
VSS	1	մուտք/ելք	Հողանցում
PR	1	մուտք	Կարգային դողերի նախալիցքավորում բարձր մակարդակով

Հիշասարքի աշխատանքային ռեժիմներն են՝ «գրանցում», «ընթերցում», «սպասում» (աղ. 2.3.):

Աղյուսակ 2.3.

ՍԿԸՀ-ի բոլոր աշխատանքային ռեժիմների դեպքում բաղադրիչ սխեմաների սնուցումների արժեքները

Ռեժիմ	Հիշողության բջիջ	Նախալիցքավորման սխեմա	ԻժՍ	Բառի գծի ուժեղարար
Գրանցում	V_{DD}	V_{DD}	V_{DD}	V_{DDH}

Ընթերցում	V_{DDH}	V_{DD}	V_{DD}	V_{DDH}
Սպասում	V_{DD}	V_{DD}	-	-

Գրանցման և ընթերցման հապաղումների կրճատման նպատակով կիրառվել են ՍԴՂ, ԻԺՍ և ԱՆՍ մեթոդները, ըստ որոնց հիշողության զանգվածի սյուներն առանձնացված են ըստ սնման մակարդակների: Ղեկավարման և լիցքավորման սխեմաները ղեկավարվում են ($V_{DD}=0,61V$) սնուցման լարմամբ, իսկ գրանցման կամ ընթերցման գործողությունների ընթացքում սնում են ($V_{DDH}=0,71V$) լարումով: ՍԿԸՀ-ն կառավարվում է հատուկ մուտքային ազդանշաններով (ME, WE և այլն) (աղ. 2.2.):

«Գրանցման» ռեժիմ.

Գրանցման ռեժիմում անհրաժեշտ է, որ «ME» և «WE» ազդանշանները լինեն ակտիվ, համապատասխանաբար՝ ME=1, WE=0: Այդ արժեքների դեպքում մուտքային «I» հանգույցի տվյալները կգրանցվեն հիշողության զանգվածում: Գործողության ընթացքում ՍԿԸՀ-ի բոլոր ենթասխեմաները սնվում են V_{DD} լարումով, բացի բառի գծի ուժեղարարից:

«Ընթերցման» ռեժիմ.

Գրանցման ռեժիմում նույնպես հարկավոր է, որ «ME» ազդանշանը ունենա բարձր արժեք, իսկ «WE»=1: Այդ մուտքային արժեքների դեպքում հիշողության զանգվածում գրանցված տվյալները արտաձվում են դեպի ելքային «O» մատույց:

«Սպասման» ռեժիմ.

Այս ռեժիմին անցումը կատարվում է «ME» ազդանշանին հաղորդելով «0» արժեքը և «PR» մատույցին տալով «1» արժեքը: Այս դեպքում ՍԿԸՀ-ն գտնվում է «կեղծ» վիճակում, և կարգային դողերը մնում են լիցքավորված V_{DD} արժեքով:

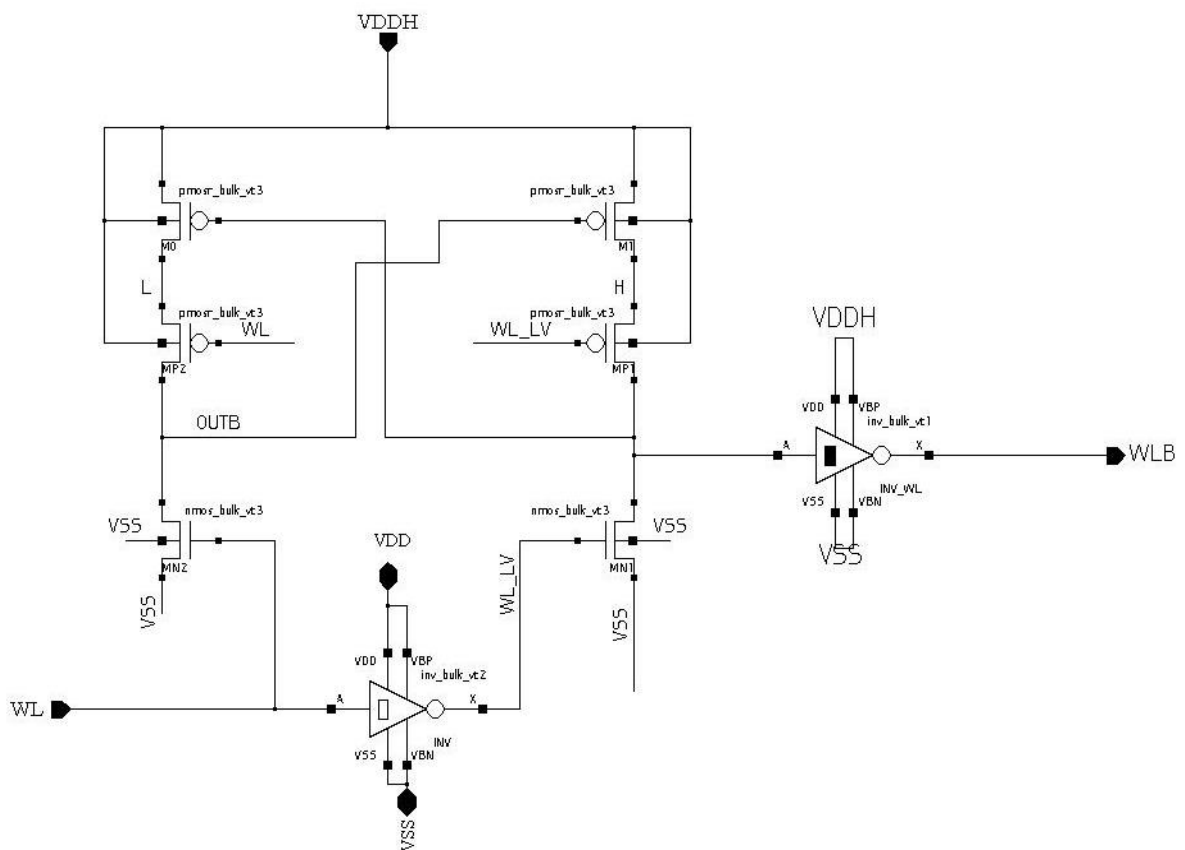
Նախագծելու համար արագագործ ՍԿԸՀ՝ անհրաժեշտ է լուծել հետևյալ խնդիրները՝

- ռեժիմների համաձայնեցման ինքնաժամանակաչափի սխեմայի կիրառումը,
- հիշողության զանգվածի սյուների սնման օպտիմալ լարման որոշումը,
- ՍԴՂ տրանզիստորների չափի ընտրությունը:

Ռեժիմների համաձայնեցման ինքնաժամանակաչափ սխեմայի կիրառումը.

Հիշողության զանգվածը միացված է ղեկավարող սխեմային, հետևաբար՝ զանգվածն ակտիվացնելու համար պետք է ապահովել մեծ հոսանքներ: Այդ խնդրի լուծման նպատակով օգտագործում են տողի կրկնիչներ [92]: Քանի որ առաջարկված նոր մեթոդի համաձայն հիշողության բջիջները ընթերցման և գրանցման գործողությունների ընթացքում սնվում են տարբեր լարումներով, տողի կրկնիչները ձևափոխվել են՝ կատարելու համար լարման մակարդակի փոփոխություն (նկ. 2.18.):

S4-ում MN2/MPO,1,2,3, տրանզիստորներն իրականացնում են լարման մակարդակի փոխակերպման ֆունկցիան, իսկ MN1/MP1 տրանզիստորները և «INV_WL» շրջիչը՝ ուժեղացնում են բառի գծի ազդանշանը:



Նկ. 2.18. Ներկառուցված լարման մակարդակի փոխակերպիչով տողի կրկնիչի կառուցվածքը

Կառուցված ՍԿԸՀ-ի յուրաքանչյուր տողերում, վերծանիչների ելքերում կիրառվել են 8 կրկնիչներ՝ ներկառուցված լարման մակարդակի փոխակերպիչով: Դրանց օգտագործումը խնայել է 16 մեուսացնող բջիջների օգտագործած լրացուցիչ մակերեսը՝

առանձին լարման մակարդակի փոխակերպիչների կիրառման դեպքում. մակերեսի խնայողությունը կազմել է մոտ 10%:

Հիշողության գանգվածի սյուների սնման օպտիմալ լարման որոշումը:

Ինչպես ցույց տրվեց 1.1.2-ում, հիշողության բջջի կարևորագույն պարամետրերից մեկը կայունությունն է [93-96], որը կախված է բջջի սնուցման լարման արժեքից, և անհրաժեշտ է ընտրել դրա օպտիմալ արժեքը: Բջջի կայունությունը բնութագրվում է «թիթեռնաձև» փոխանջատման բնութագրի միջոցով, որը ներկայացնում է հիշողության բջիջում տեղակայված, իրար խաչաձև միացված երկու շրջիչների լարման փոխանցման բնութագրերի վերադրման արդյունքը: Առաջին շրջիչի ելքը տեղակայված է «X» կոորդինատական առանցքի վրա, որը միաժամանակ հանդիսանում է նաև երկրորդ շրջիչի մուտքը և ստանում է «թիթեռնաձև» տեսքը: Բնութագրերի հատման կետում մետակայուն վիճակ է, իսկ եզրերում՝ կայուն:

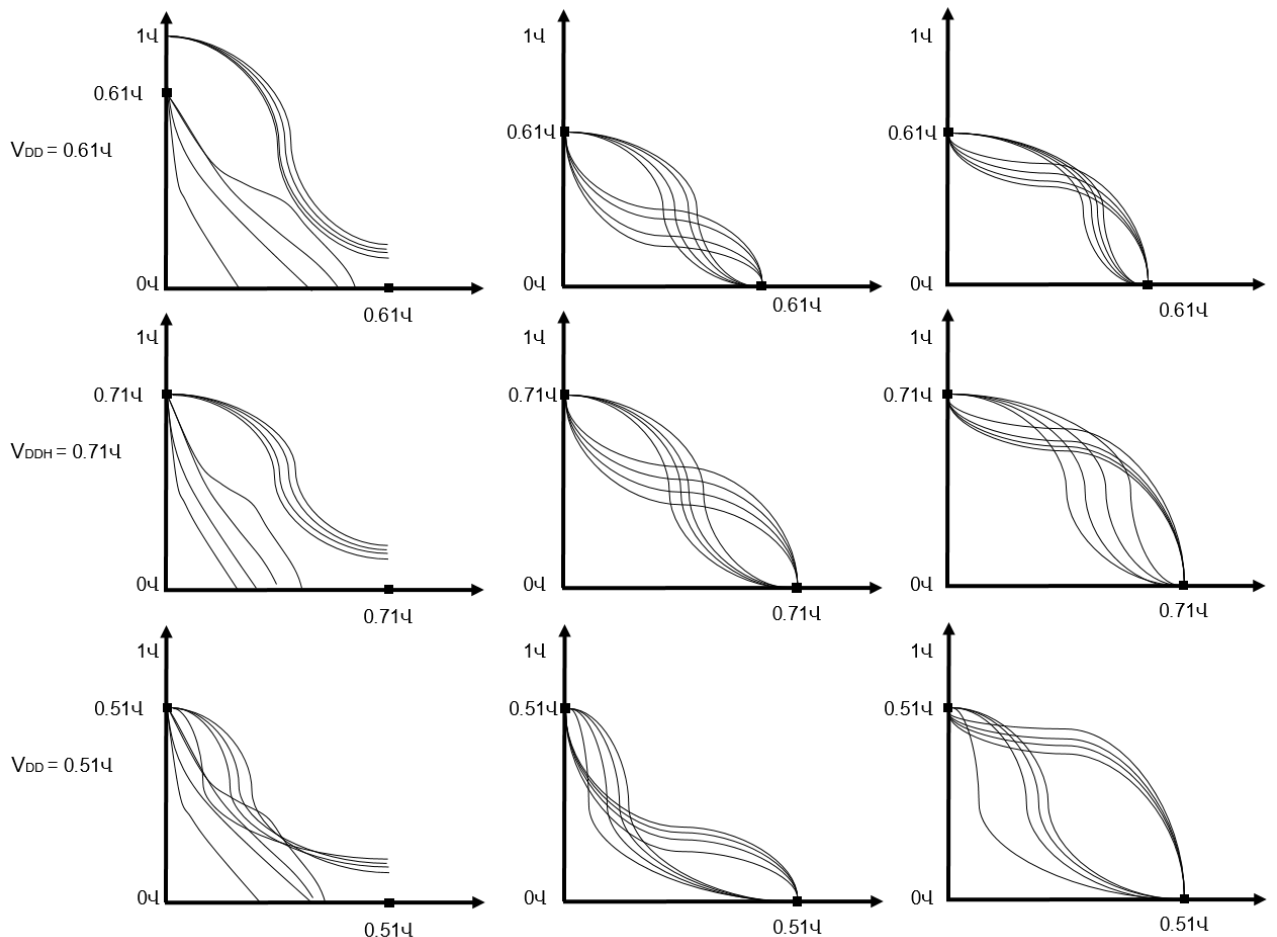
Հիշողության բջջի կայունությունը գնահատվում է «թիթեռնաձև» փոխանջատման բնութագրում, ազդանշանների միջև բացվածքների մակերեսով [94]: Երբ բնութագրերի միջև մակերեսը փոքր է, ապա ցածր է բջջի աղմկակայունությունը: Այդ դեպքում շեղումների ազդեցության պատճառով բջիջում հնարավոր է, որ տեղի ունենա չնախատեսված փոխանջատում, ինչը կհանգեցնի գրանցման կամ ընթերցման խափանման:

Այսպիսով, աղմուկների ազդեցությամբ հիշողության բջիջը (ՀԲ) կարող է գտնվել անկայուն վիճակում [95]: Ընթերցման և գրանցման գործողությունների ընթացքում անհրաժեշտ է, որ ՀԲ-ի «թիթեռնաձև» բնութագիրն ունենա հստակ տարանջատված երեք հատման կետեր: Դա թույլ կտա պահպանել կայուն վիճակը: Գրանցման գործողության ընթացքում կարևորվում է միայն մեկ հատման կետի անկայունությունը, ինչը միանշանակ կապահովի ՀԲ-ի տվյալների փոխանջատումը [96]:

Պարզելու նպատակով հիշողության բջիջներից կազմված սյան սնման լարման օպտիմալ արժեքը, որը անհրաժեշտ է օգտագործել ՍԴՂ մեթոդի դեպքում, կատարվել են նմանակումներ՝ տարբեր սնման լարումներով: Արդյունքում՝ ստացված «թիթեռնաձև» կորերի հիման վրա ընտրվել են համապատասխանաբար՝ հիմնական

սնման 0,61Վ և երկրորդական սնման 0,71Վ լարման արժեքները, որոնց դեպքում ՀԲ-ներից կազմված սյունը կապահովի բավարար կայունության պաշար (նկ. 2.19):

Սնման լարման ավելի ցածր արժեքը (0,51Վ) հանգեցնում է կայունության կորստի և բջիջների աշխատանքի խափանմանը: Գրանցման գործողության ընթացքում խափանումը էապես մեծանում է (նկ. 2.19): Շեմային լարման փոփոխությունները ցածր սնման լարման արժեքների դեպքում առավել մեծ ազդեցություն են ունենում հոսանքի վրա, քանի որ, երբ փական-ակունք լարման մակարդակը ավելի մեծ է, քան շեմային լարումը, տրանզիստորների հոսանքն ուղիղ համեմատական է փական-ակունք և շեմային լարումների տարբերությանը, և համեմատական է $V_{\text{փա}} \cdot V_{\text{շեմ}} \cdot 0,1մՎ$, երբ փական-ակունք լարման մակարդակը ավելի փոքր է, քան շեմային լարումը:



Նկ. 2.19. Հիշողության բջջի տարբեր սնուցման լարումների դեպքում փոխանջատման «թիթեռնաձև» բնութագրերը

Այնուամենայնիվ, պահպանման ռեժիմում փոխանջատման կորերը, նույնիսկ

ցածր լարման արժեքի դեպքում, մնում են կայուն վիճակում: Դրա պատճառով հնարավոր է լինում պահպանել բջիջներում գրանցված տվյալները՝ կիրառելով սնման լարման շատ ավելի ցածր մակարդակ, միաժամանակ նվազեցնելով կորստային հոսանքները:

ՄԴՂ տրանզիստորների չափի և քանակի ընտրությունը.

Ընթերցման գործողության համար հիշողության զանգվածի սյուններում կիրառվել են սնման դողերի ղեկավարման տրանզիստորներ: Սնման դողերի ղեկավարման տրանզիստորների համար նպատակ է դրվել կիրառել լրացուցիչ նվազագույն մակերես ունեցող տրանզիստորներ, քանի որ մեծ ծավալով հիշողության զանգվածի դեպքում ՍԿԸՀ-ի զբաղեցրած մակերեսը մեծանում է բիթերի գծերի թվին զուգնթաց, ինչը առաջացնում է վերջնական ՍԿԸՀ-ի մակերեսի մեծ աճ: Տրանզիստորների չափերը ընտրվել են այնպես, որ ընթերցման գործողության ժամանակը լինի ավելի կարճ, քան սխեմայի տակտային ազդանշանի պարբերությունը: Մեծ ծավալով հիշասարքերում, լուծման համապիտանելիության համար, անհրաժեշտ է ունենալ ընդլայնման հնարավորություն: ՄԴՂ տրանզիստորների մեծ քանակը մեծացնում է ոչ միայն ընթերցման գործողության հապաղումը, այլև ավելացնում է լրացուցիչ մակերեսի ծախսը [97]: Անման դողերի ղեկավարման տրանզիստորների չափերի ընտրման նպատակով կատարվել է ՍԿԸՀ-ի նմանարկում: Արդյունքում գրանցվել են առանձին ընթերցման գործողության ընթացքում հիշողության սյունների ընթերցման հապաղումների միջին արժեքները (աղ. 2.3):

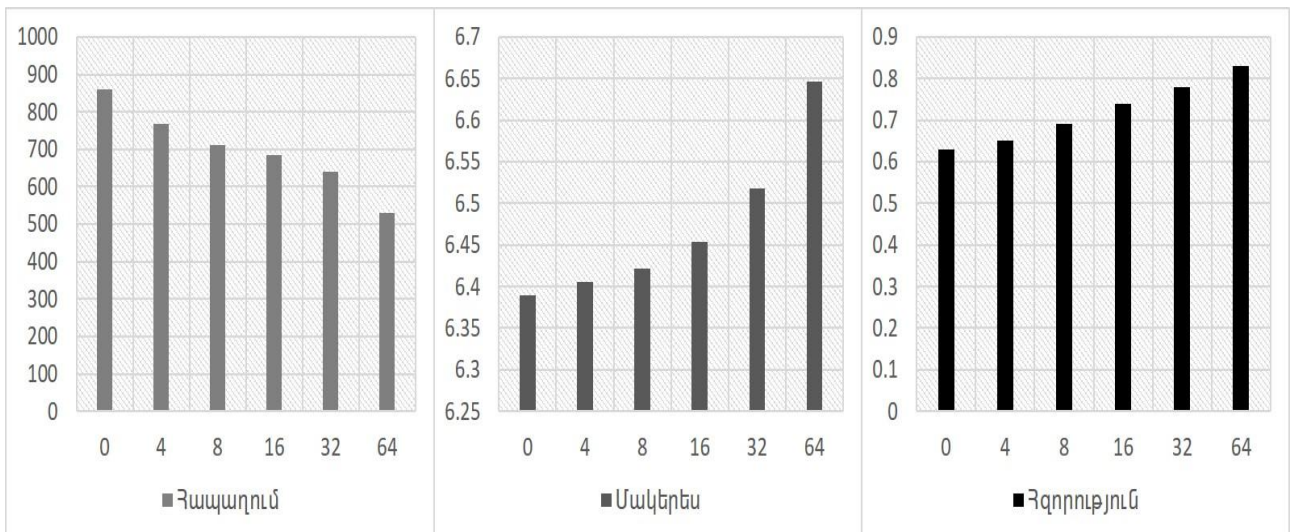
Աղյուսակ 2. 4.

Նախագծված արագագործ ՍԿԸՀ-ի հապաղումները, ծախսվող հզորությունը և զբաղեցրած մակերեսը

Ռեժիմ	Հապաղում (սվ)	Ընդհանուր հզորության ծախս (մկՎտ)	ՀՁ զբաղեցրած մակերես (մկմ ²)	ՄԴՂ-ների քանակ ՀՁ-ում
Գրանցում	712	0,34	593,19	8
Ընթերցում	532	0,27		

Կատարվել է հզորության ծախսի, զբաղեցրած մակերեսի և հապաղման վերլուծություն՝ որոշելու համար հիշողության զանգվածում ՍԴԸ-ների օպտիմալ քանակը: Այդ նպատակով, օգտագործվել են ՍԴԸ տրանզիստորները յուրաքանչյուր սյան համար (64), ապա նվազեցվել է դրանց քանակը յուրաքանչյուր 4 սյան համար, պահպանելով բջիջների անխափան աշխատանքի պայմանը (նկ. 2.20):

Արդյունքներից երևում է, որ օգտագործելով ամեն 4-րդ սյան համար 1 ՍԴԸ տրանզիստոր, հնարավոր է, էներգասպառման մոտ 7-14% և մակերեսի մոտ 13% աճի պարագայում, ապահովել մոտ 4-31%-ով արագագործության աճ:



Նկ. 2.20. ՍԴԸ տրանզիստորների քանակից ՍԿԸԸ-ի հապաղման, հզորության և մակերեսի կախվածությունը

Այսպիսով, օգտագործելով առաջարկված բոլոր մեթոդները մշակված հիշասարքի՝ ծախսված հզորության և բյուրեղի վրա զբաղեցրած մակերեսի թույլատրելի աճի պարագայում, հնարավոր էականորեն բարձրացնել հիշասարքի արագագործության պարամետրերը:

Եզրակացություններ

1. ՍԿԸԸ-ների գրանցման և ընթերցման գործողությունների հապաղումների միաժամանակ կրճատման նպատակով առաջարկվել է բազմակի սնուցման դողերով ԱՆՍ և ԻԺՍ մեթոդների համատեղ կիրառման եղանակ, որը լուծում է

- գործողությունների համաձայնեցման և տրանզիստորների քանակի և չափի ընտրության խնդիրները:
2. Ստեղծվել է սնման դողերի ղեկավարման տեղաբաշխման սխեմայի նոր կառուցվածք, որը, հիշողության զանգվածը առանձին սյունների բաժանելով նվազեցնում է ՍԿԸՀ-ի լրացուցիչ զբաղեցրած մակերեսը: Մշակված կառուցվածքի դեպքում, անկախ տեխնոլոգիական շեղումներից, հնարավոր է ապահովել գործողությունների հապաղումների զգալի կրճատումը:
 3. Սնման դողերի ղեկավարման, արագագործ նախալիցքավորման և ինքնաժամանակաչափ մեթոդների համատեղ կիրառման դեպքի համար մշակվել է ՍԿԸՀ-ի հիմնական պարամետրերի հիման վրա սնման դողերի ղեկավարման տրանզիստորների չափերի և քանակի ընտրության մեթոդ, որը, մակերեսի և հզորության թույլատրելի կորստի դեպքում, ապահովում է գրանցման գործողության հաաղման մոտ 14%-ով և ընթերցման գործողության հապաղման մոտ 29%-ով կրճատում:
 4. ՍԿԸՀ-ի բոլոր ռեժիմների համար առաջարկվել են համաձայնեցման հատուկ սխեմաների կառուցվածքներ, որոնք, հապաղման բլոկների քանակների կրճատման հաշվին, մոտ 10%-ով նվազեցնում են կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը:
 5. Նախագծվել է նոր ճարտարապետությամբ ՍԿԸՀ-ի սխեմա, որը, սնման դողերի ղեկավարման, արագագործ նախալիցքավորման և ինքնաժամանակաչափման մեթոդների կիրառման շնորհիվ, ապահովում է գրանցման գործողության հապաղման մոտ 17%-ով և ընթերցման գործողության հապաղումման մոտ 31%-ով կրճատում:
 6. Առաջարկվել է նոր մոտեցում, որը, սնուցման տարբեր լարումների կիրառման հաշվին, ապահովում է սխեմայի ելքերի անհրաժեշտ վիճակները:

ԳԼՈՒԽ 3. ՍՏԱՏԻԿ ԿԱՄԱՅԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՔԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ԾՐԱԳՐԱՅԻՆ ԻՐԱԿԱՆԱՑՈՒՄԸ

Նախորդ գլուխներում առաջարկված մեթոդների հիման վրա կատարվել է ինտեգրալ սխեմաներում ներկառուցված արագագործ ՍԿԸԸ-ների մշակում՝ հատուկ սեղծված Memory Timing Compiler («MTC») ավտոմատացված նախագծման ծրագրային միջոցով: Այդ միջոցով հնարավոր է մշակված մեթոդների կիրառմամբ հիշասարքերի ֆիզիկական նախագծերի ստեղծումը: «MTC» ծրագիրը գրվել է Perl [98], Python [99] և Shell [100] լեզուներով: Ծրագրային միջոցի հիմնական նպատակը արագագործ ՍԿԸԸ-ների ավտոմատ մշակումն է, ինչն արագացնում է նախագծման գործընթացը և ապահովում արագագործության ցանկալի մեծացում՝ հիմնված մշակված մեթոդների վրա:

Ստորև ներկայացված են «MTC» ծրագրային միջոցի կառուցման հիմնական սկզբունքները, արագագործության բարձրացման ղեկավարման ինտերֆեյսը, ինչպես նաև մշակված մեթոդների ծրագրային իրականացման առանձնահատկությունները:

3.1. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակման համակարգը

3.1.1. Ծրագրային միջոցի կառուցման սկզբունքները

«MTC» ծրագրային միջոցի ստեղծման համար սահմանվել են մի քանի հիմնական պահանջներ, որոնք գործնական խնդիրների լուծման դեպքում դրա կիրառումը արդյունավետ կդարձնեն: Այդ պահանջները ներկայացվում են ստորև:

ՍԿԸԸ-ների նախագծման գործընթացում ներդրվելու հնարավորությունը.

ՍԿԸԸ-ների նախագծման գործընթացը կազմվում է բազմապիսի համապիտանի նախագծային միջոցների օգտագործմամբ, որոնց միջև կապն ապահովվում է ստանդարտ կամ լայնորեն օգտագործվող ֆայլային ձևաչափերի օգտագործմամբ: Այդ պատճառով ծրագրային նոր միջոցի ստեղծման հիմնական պահանջներից է դրա

համատեղելիությունը այլ գործիքների հետ և այդպիսի ելքային ձևաչափերի օգտագործումը: Ներկայումս օգտագործվող ծրագրային միջոցները հիմնված են Open Access [101-103] տվյալների հենքերի վրա: Դա ԻՍ-երի ներկայացման թվային միջավայր է, որն ունի հնարավորություն՝ կառավարելու բաց ծրագրային կոդով էլեկտրոնային նախագծման ավտոմատացման (ԷՆԱ) տվյալների բազաների համակարգը [102]: Նախագծված ծրագրային միջոցին ներկայացվել է պահանջ՝ ՍԿԸՀ-ների նախագծման և ստուգման այլ միջոցների հետ համատեղելիության համար նախագծի կառուցումը կատարել Open Access (OA) հենքի միջոցով [103]:

Բացի նախագծի կառուցվածքից, անհրաժեշտ է նաև, որ ծրագրի արդյունքում արտաձևվող այլ օժանդակ ֆայլերի համար օգտագործվեն ստանդարտ և լայնորեն կիրառվող ֆայլերի ձևաչափեր:

Համապիտանելիության հնարավորությունը.

Արագագործ ՍԿԸՀ-ների նախագծումը՝ առաջարկված մեթոդներով, կախված է ինչպես տեխնոլոգիական գործընթացից, այնպես էլ ԱԿԸՀ-ում օգտագործվող բաղադրիչ սխեմաների տեսակներից: Այսինքն, պահանջվում է նաև, որ ստեղծված ծրագրային միջոցն ունենա ընդլայնման հնարավորությունը, որը, ծրագրում առանց հավելյալ փոփոխությունների, ապահովի նոր տեխնոլոգիական գործընթացների և տեսակի բաղադրիչ սխեմաների կիրառման հնարավորությունը: Միևնույն ժամանակ, ցանկալի է, որ նոր տեխնոլոգիական գործընթացների և նոր տեսակի բաղադրիչ սխեմաների օգտագործմամբ պայմանավորված փոփոխություններն, առաջացնեն նվազագույն ձևափոխություններ առաջարկված ծրագրային գործիքում:

Օգտագործողի համար պարզ ինտերֆեյսը.

Անհրաժեշտ է, որ արագագործ ՍԿԸՀ-ների գեներացման ծրագիրը աշխատանքի ընթացքում կառուցի ՍԿԸՀ-ի սխեման, ֆիզիկական կառուցվածքը, սխեմատեխնիկական նկարագիրը և գեներացնի այլ օժանդակ ֆայլեր: Թվարկված բոլոր գործընթացների միաժամանակ գեներացիան, այլ ծրագրերի օգտագործման պարագայում, խլում է զգալի համակարգչային ժամանակ: Հետևաբար, առաջարկվող ծրագիրը պետք է ունենա ներքին ծրագրավորման միջավայրի հնարավորություն: Այդ միջավայրում հնարավոր կլինի պլանավորել դրա աշխատանքի անհրաժեշտ փուլերը և

թողարկել ծրագիր՝ աշխատող առանց օգտագործողի հետ երկխոսության: Մյուս կողմից՝ օգտագործման տեսանկյունից հարմար է կիրառել գրաֆիկական ինտերֆեյս՝ ապահովող ծրագրի բոլոր հնարավորությունների ղեկավարման հարմարությունը:

3.1.2. Համապիտանի հիշողության թարգմանչի նկարագրությունը

«MTC» ծրագրային միջոցը կատարում է արագագործ ՍԿԸՀ-ների ավտոմատացված մշակումն ստեղծվել է այնպես, որ բավարարի վերը նշված բոլոր պահանջները: Ստորև նկարագրված են «MTC» ծրագրային գործիքի (ԾԳ) կիրառումը և հնարավորությունները:

Ստեղծված «MTC» ԾԳ-ը կառուցում է ՍԿԸՀ-ի սխեմատիկական նկարագիրը և ֆիզիկական տեսքը, միաժամանակ պարունակելով 2-րդ գլխում ստացված մեթոդները և սխեմաները (նկ. 3.1): Բացի այդ, այն ներառում է նաև սխեմայի կառուցվածքի արտաձևան, ֆիզիկական կառուցվածքի ստեղծման, բաղադրիչ սխեմաների՝ տարրական բջիջների, համաձայնեցման բլոկների, նախալիցքավորման և ինքնաժամանակաչափ բլոկների, տեղադրման, սնման ցանցի կառուցման և այլ ենթահամակարգեր:

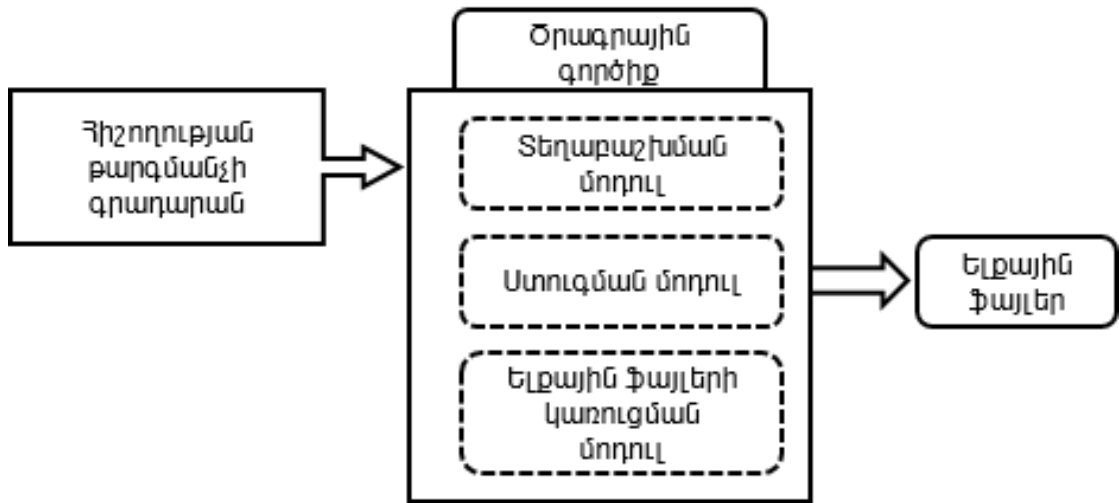
Ըստ համապիտանելիության պահանջի՝ ԾԳ-ն հնարավորություն է ընձեռում՝ հավելյալ շաբլոնների կիրառմամբ ապահովելու տարբեր տեսակի ՍԿԸՀ-ների մշակումը: Այդպիսի շաբլոնները անհրաժեշտ է, որ պարունակեն համապատասխան ՍԿԸՀ-ին հատուկ մուտքային նախնական տվյալներ: Տեխնոլոգիական տարբեր գործընթացների համար ծրագրում ավելացվել է նաև համապատասխան լրացուցիչ շաբլոն:

«MTC» ԾԳ-ն կազմված է մի քանի ենթածրագրերից և մոդուլների կցման համակարգից (նկ. 3.1):

Հիշողության կազմակերպման ճարտարապետության ստեղծում.

Հիշողության թարգմանչի ենթածրագրով ստեղծվում է նախագծվող ՍԿԸՀ-ի կառուցվածքը՝ օգտվելով համապատասխան ֆայլերի տվյալներից և օգտագործողի տրված մուտքային տվյալներից: Այս ենթածրագիրը պարունակում է նաև ստեղծված արագործության բարձրացման մշակման մեթոդների իրականացումը: Առաջին հերթին՝

ստեղծվում է սխեմայի ընդհանուր ճարտարապետության կառուցվածքը, այսինքն՝ բաղադրիչ մասերի կապերն ու միացումները:

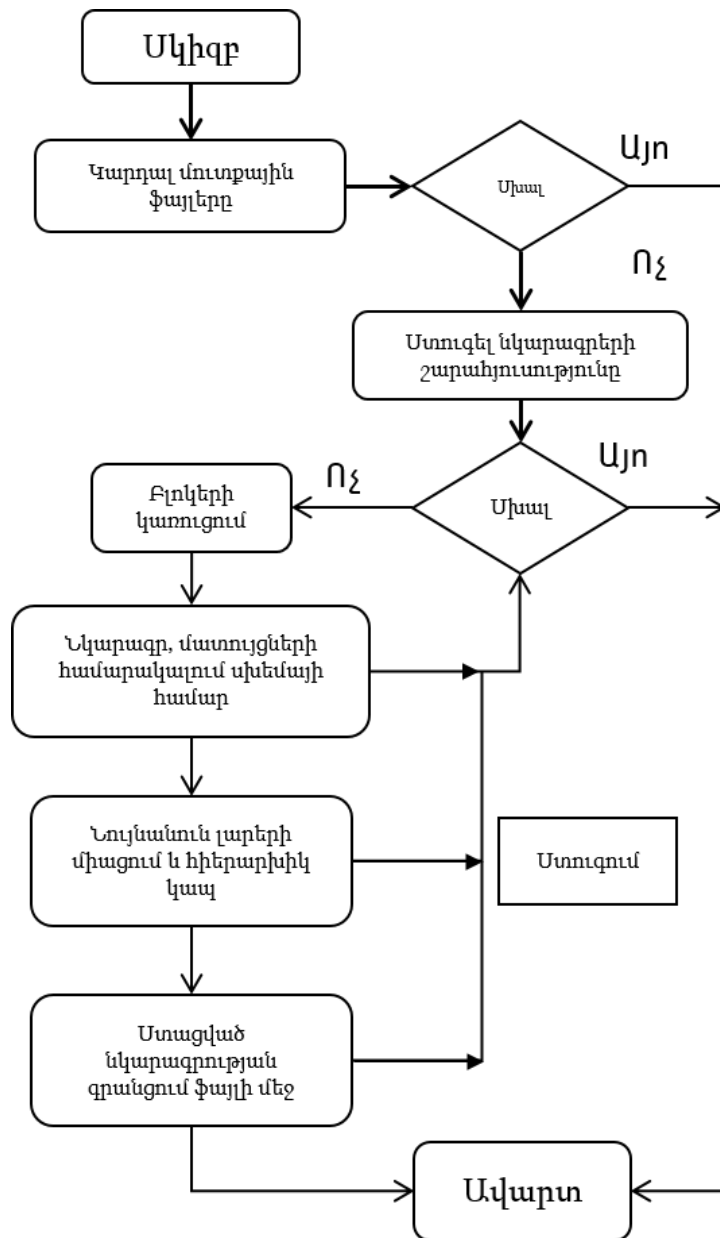


Նկ. 3. 1 Արագագործ հիշասարքերի ավտոմատացված մշակման ծրագրային գործիքի կառուցվածքը

Սա կառուցվում է համապատասխան մոդուլում առկա շաբլոնի հիման վրա՝ օգտագործելով օգտագործողի ներմուծած տվյալները: Օրինակ, օգտագործողը կարող է ներմուծել նախագծվող ՍԿԸՀ-ի ծավալի չափը, որի հիման վրա կկառուցվի ճարտարապետությունը: Ստեղծված ճարտարապետությունը շաբլոնի համաձայն բաժանվում է ենթաբլոկների: Կախված օգտագործողի կողմից ներմուծված տվյալներից՝ ծրագիրը կընտրի այնպիսի տարրական բջիջներ և դրանց համապատասխան այլ բաղադրիչ սխեմաներ, որոնք կապահովեն ընդհանուր ՍԿԸՀ-ի արագագործությունը:

ՍԿԸՀ-ի սխեմատեխնիկական բաղադրիչի ստեղծումը.

ԱԿԸՀ-ի սխեմատեխնիկական բաղադրիչը ստանալու համար մշակվել է ենթամոդուլ, որը, օգտվելով մուտքային տարրական բջիջների սխեմատեխնիկական գրադարանից, կառուցում է տարրական մակարդակի սխեմա: Որպես ելքային նկարագիր տրամադրում է սխեմատեխնիկական մակարդակի նկարագրությունը՝ HSPICE [104, 105] ստանդարտ ձևաչափով: Աստեղծված ՍԿԸՀ-ի կառուցվածքը պարունակում է բաղադրիչ բլոկների և դրանց միջմիացումների վերաբերյալ բոլոր տվյալները: Մոդուլի աշխատանքային ալգորիթմը պատկերված է ստորև (նկ. 3.2):

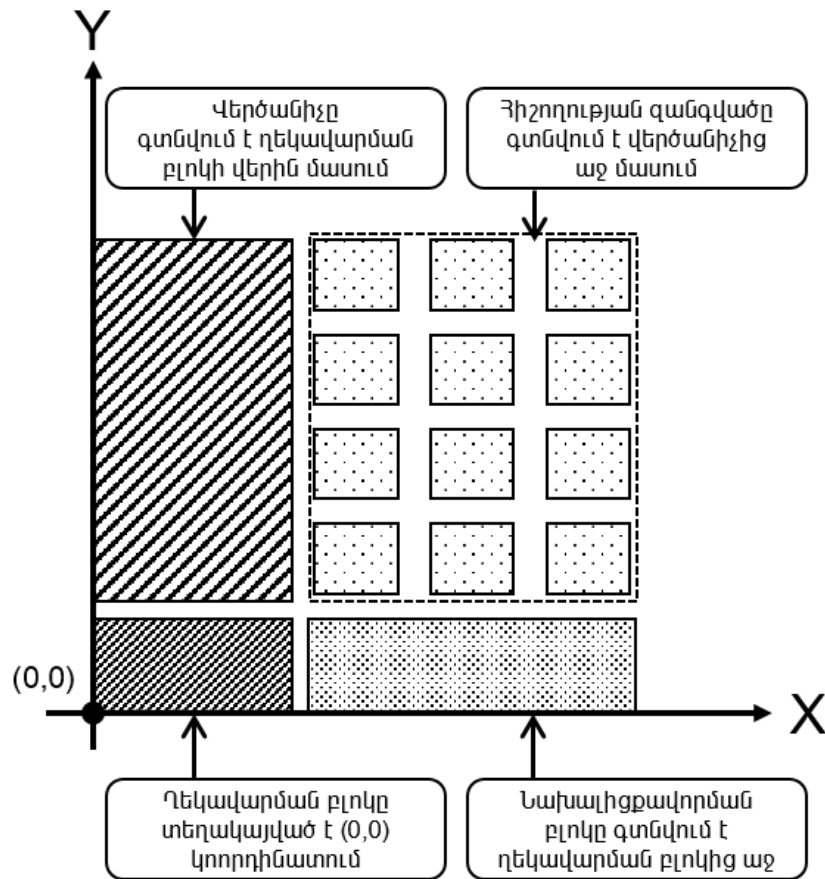


Նկ. 3.2. Սխեմատեխնիկական բաղադրիչի արտաձման մոդուլի աշխատանքային ալգորիթմը

ԱԿԸՀ-ի տոպոլոգիական բաղադրիչի ստեղծումը.

ԱԿԸՀ-ի ֆիզիկական նախագիծը կառուցվում է մի քանի փուլով (նկ. 3.3) [106-108]: Սկզբում տարրական բջիջների տոպոլոգիական գրադարանից, օգտագործողի կողմից տրված ԱԿԸՀ-ի կառուցման կանոններին համապատասխան, ընտրվում են, տարրերի ֆիզիկական նախագծերը: Ընտրությունը կատարվում է տեղաբաշխման ֆայլի միջոցով, որը կազմում է ԾԳ-ի փաթեթի մաս: Տեղաբաշխման ֆայլը պարունակում է ԱԿԸՀ-ի բաղադրիչ սխեմաների տեղաբաշխման կանոններ, և յուրաքանչյուր նոր ճարտարապետության համար այն ստեղծվում է նախապես:

Ըստ տեղաբաշխման կանոնների՝ օգտագործվել է ՍԿԸՀ-ի բաղադրիչ սխեմաների կցման մեթոդը: Կցման մեթոդը ներկայացնում է բաղադրիչների կառուցումը ըստ դրանց դիրքի հարևան բաղադրիչների նկատմամբ: Նախքան տեղաբաշխումը տոպոլոգիական գրադարանում պարունակվող բոլոր բաղադրիչների վրա ավելացվում է հատուկ արհեստական շերտ, ինչի շնորհիվ որոշվում են բաղադրիչների չափերը: Օրինակ, եթե ՍԿԸՀ-ի նախագիծը պարունակում է մի քանի տիպի բաղադրիչներ (նկ. 3.3), ապա, անկախ վերջնական նախագծի մեջ դրանց դիրքից, հնարավոր է կազմակերպել դրանց կապը: Տեղաբաշխման ֆայլում սահմանվում է բաղադրիչներից մեկը, որն ավտոմատ տեղադրվում է (0,0) կոորդինատում, իսկ մյուս բաղադրիչների դիրքը սահմանվում է այդ բաղադրիչի նկատմամբ:



Նկ. 3.3. Կցման մեթոդով բաղադրիչների տեղաբաշխումը

Ներկայացված կցման կանոնների հիման վրա օգտագործելով տեղաբաշխման ֆայլը՝ ԾԳ-ն որոշում է ՍԿԸՀ-ի բոլոր բաղադրիչների դիրքերը: ՍԿԸՀ-ի տոպոլոգիական նմուշի կառուցումն իրականացվում է 3.1.1-ում նշված OA-ի միջոցով:

Ընթերցման/գրանցման հապաղումների և հզորության գնահատումը.

Ստեղծած «MTC» ծրագրային միջոցը, ընթերցելով օգտագործողի կողմից տրված մուտքային տվյալները, դրանց հիման վրա արտածում է ընթերցման, գրանցման հապաղումների և հզորության արժեքները համապատասխան հիշասարքի համար: Ծրագիրն օգտագործում է նախապես ստեղծված վարքագծային աղյուսակային ֆայլը, որը պարունակում է բաղադրիչ սխեմաները և դրանց տրամաբանական մոդելները: Այդ ֆայլը ստանալու համար օգտագործվել է Synopsys ընկերության ստատիկ ժամանակային վերլուծության PrimeTime [109] գործիքը: Ծրագրի աշխատանքի արդյունքում ստացվում են ստատիկ վերլուծության արդյունքները, որոնք հիմնված են ՍԿԸՀ-ի բաղկացուցիչ սխեմաների՝ հայտնի և նախապես բնութագրված պարամետրերի արժեքների վրա:

3.1.3. Համապիտանի հիշողության թարգմանչի կառուցվածքը

Համապիտանի հիշողության թարգմանիչը ստեղծվում է նախագծողի կողմից և տրվում է ԾԳ-ին որպես մուտքային գրադարան: Այն ներկայացնում է տարբեր ֆայլերից կազմված փաթեթ: Բոլոր ֆայլերը տեղակայված են թարգմանչի անվանմանը թղթապանակում: Յուրաքանչյուր թարգմանչի թղթապանակ պարունակում է հետևյալ ֆայլերը (աղ. 3.1.):

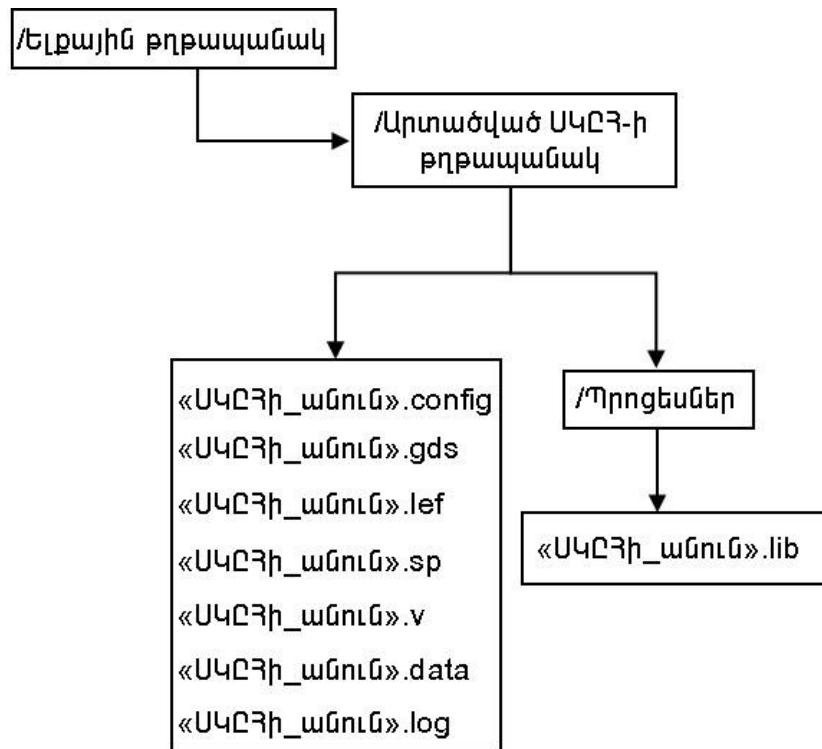
Աղյուսակ 3. 1.

Հիշողության թարգմանչի գրադարանի պարունակությունը

Ֆայլի անվանումը	Պարունակությունը
«թարգմանչի_անուն».sp	ՍԿԸՀ-ի բոլոր բաղադրիչ սխեմաների սխեմատեխնիկական նկարագիրը: Այն նկարագրված է սխեմատեխնիկական մակարդակով «HSPICE» ստանդարտ ձևաչափով:
«թարգմանչի_անուն».gds	ՍԿԸՀ-ի բոլոր բաղադրիչ սխեմաների տոպոլոգիական նկարագիրը: Այն նկարագրված է «GDSII» ստանդարտ ձևաչափով

<p>«թարգմանչի_անուն».v</p>	<p>ՍԿԸՀ-ի բաղադրիչ տրամաբանական նկարագիրը, որն իրականացված է փականային մակարդակով: Այն նկարագրված է «Verilog» ստանդարտ ձևաչափով:</p>
<p>«թարգմանչի_անուն».place</p>	<p>Հիշասարքի կառուցվածքը, տեղաբաշխման կանոնները: Բաղկացած է ֆիզիկական և սխեմատեխնիկական նախագծման հրահանգներից: Այն նկարագրված է տեքստային ձևաչափով և ունի հատուկ ֆունկցիաների դասեր:</p>
<p>«թարգմանչի_անուն».lib</p>	<p>Հիշասարքի բաղադրիչ սխեմաների հապաղումների և հզորության տեղեկատվությունը:</p>
<p>«թարգմանչի_անուն».param</p>	<p>ՍԿԸՀ-ի կառուցման համար անհրաժեշտ հատուկ պարամետրերը և դրանց արժեքները:</p>
<p>«թարգմանչի_անուն».range</p>	<p>Բոլոր հիմնական պարամետրերի թույլատրման միջակայքի սահմանումը՝ բառերի, բիթերի, մուլտիպլեքսորների, բանկերի և այլն:</p>
<p>«թարգմանչի_անուն».tmp</p>	<p>ՍԿԸՀ-ի այլ նկարագրերի արտաձման շաբլոնները:</p>

ԾԳ-ն, իր հերթին, օգտագործելով մուտքագրված գրադարանը, արտաձում է համապատասխան ելքային ֆայլերը (նկ. 3.4):



Նկ. 3.4. Ելքային թղթապանակի կառուցվածքի օրինակը

3.1.4. Ծրագրային գործիքի օգտագործողի ինտերֆեյսը

Ներկայացված ծրագրային միջոցի համար ստեղծվել են օգտագործողի գրաֆիկական և ոչ գրաֆիկական ինտերֆեյսներ:

ՍԿԸՀ-ի կառուցումը կարող է ծախսել որոշ մեքենայական ժամանակ՝ կախված օգտագործողի կողմից տրված մուտքային տվյալներից:

Այն տատանվում է մի քանի րոպեից մինչև մի քանի տասնյակ րոպեներ, հետևաբար՝ նպատակահարմար է նաև ԾԳ-ում ներառել ոչ գրաֆիկական ինտերֆեյս: Այդ ինտերֆեյսի առավելությունն այն է, որ հրամանային տողով հնարավոր է փոխանցել առաջադրանքը ծրագրին, որը առանց օգտագործողի հավելյալ միջամտման, իրականացնում է ՍԿԸՀ-ի կառուցումը:

Սակայն ԾԳ-ում ներառվել է նաև գրաֆիկական ինտերֆեյս, որը ներկայացնում է երկխոսության պատուհան: Օգտագործողի կողմից պատուհանի համապատասխան դաշտերը լրացնելուն պես՝ ԾԳ-ն կատարում է ոչ գրաֆիկական ինտերֆեյսի համապատասխան հրամանները: ԾԳ-ի գրաֆիկական ինտերֆեյսում ներառված է նաև դինամիկ ստուգման համակարգը, որն իրական ժամանակում ստուգում է

օգտագործողի կողմից մուտքագրված տվյալների համապատասխանությունը հիշողության թարգմանչի թույլատրելի արժեքների հետ:

Ոչ գրաֆիկական ինտերֆեյս.

ԾԳ-ի ոչ գրաֆիկական ինտերֆեյսով հիշասարք գեներացնելու նպատակով Linux օպերացիոն համակարգում անհրաժեշտ է գրանցել հետևյալ հրամանը՝ MTC: Այդ հրամանի կանչի հիման վրա «MTC» ծրագրային գործիքը կգեներացնի ՍԿԸՀ:

Գործարկման հրամանն ունի հետևյալ տեսքը.

```
MTC -c ՍՈՒՏՔԱՅԻՆ_ԿՈՆՖԻԳՈՒՐԱՑԻՈՆ_ՖԱՅԼ -comp ԹԱՐԳՄԱՆՉԻ_ԳՐԱԴԱՐԱՆ
```

ԾԳ-ն հնարավորություն է տալիս նաև հրամանին որպես հավելյալ մուտքային տվյալ օգտագործել հետևյալ տարբերակները.

- dir - հնարավորություն է տալիս նշել ելքային արդյունքների թղթապանակը,
- help - արտաձուլ է էկրանին ծրագրից օգտվելու կանոնները,
- debug - թույլատրում է ՍԿԸՀ-ի կառուցման ընթացքում արտաձուլ էկրանին ԾԳ-ի աշխատանքային մոդուլների տվյալները,
- version - օգտագործվում է՝ արտաձուլելու համար ԾԳ-ի ընթացիկ տարբերակը:

Մուտքային կոնֆիգուրացիոն ֆայլը պարտադիր պետք է ներառի ՍԿԸՀ-ի կառուցման համար անհրաժեշտ նվազագույն մուտքային տվյալները, օրինակ, հիշասարքի բառերի գծերի քանակը, կարգային դողերի քանակը, հիշասարքի գրադարանի անվանումը, ելքային ՍԿԸՀ-ի անունը, հիշողության զանգվածի բանկավորման քանակը, գործընթացի անունը և ելքային ֆայլերի ձևաչափը: 3.1.3-ից պարզ դարձավ, որ ներկայացված ԾԳ-ով տարբեր ձևաչափերի ֆայլերի ստեղծման հնարավորությունը պահանջում է նաև մուտքային կոնֆիգուրացիոն ֆայլում սահմանել ՍԿԸՀ-ի ելքային ֆայլերի ձևաչափերը: Կոնֆիգուրացիոն ֆայլի յուրաքանչյուր տողն ունի սահմանվող պարամետրերի մեկական զույգ՝ ներկայացված հետևյալ տեսքով՝ «փոփոխական=արժեք»: Այդ փոփոխականների ճշգրիտ անվանումները գրանցված են

թարգմանչի գրադարանում գտնվող «գլոբալ պարամետրերի» ֆայլում: Մուտքային կոնֆիգուրացիոն ֆայլի օրինակում (նկ. 3.5) 1-3 տողերում սահմանված են ՍԿԸՀ-ի ծավալի տվյալները, «compiler_name» փոփոխականով տրվում է թարգմանչի գրադարանի անվանումը, որից և ԾԳ-ն վերցնում է հիշասարքի տեսակի տվյալները. «memory_name» բանալին հնարավորություն է տալիս անվանել կառուցված հի'ասարքը, իսկ «view_name»-ը սահմանում է ելքային ֆայլերի ձևաչափերը:

1.	NW = 256
2.	NB = 144
3.	BK = 2
4.	CM = 4
5.	compiler_name = "HS1P11_SRAM"
6.	memory_name = "64x8cm4bk2c1"
7.	pvt_name = { "sf0p61v125c_0p71v" }
8.	view_name = { "gds" "spice" "datasheet" }

Նկ. 3.5. Կոնֆիգուրացիոն ֆայլի օրինակը

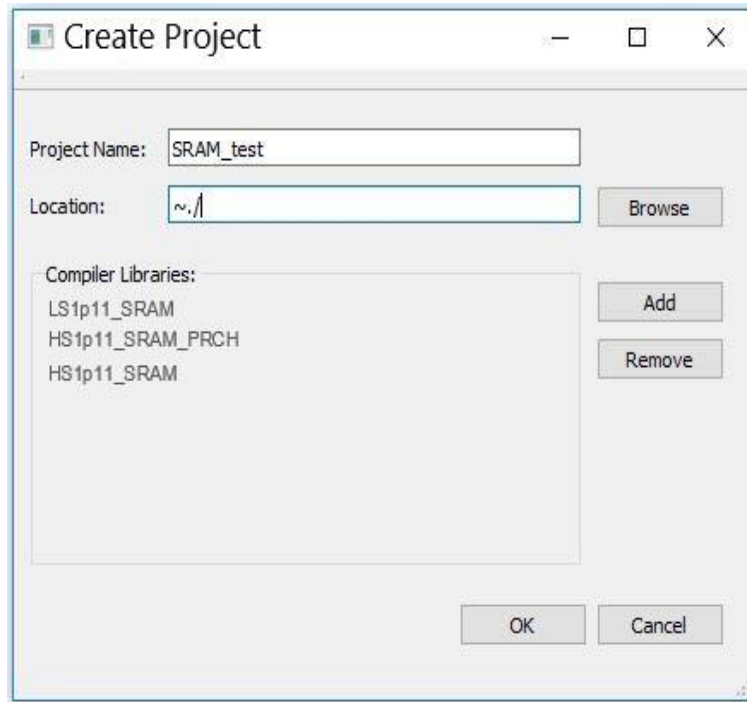
Ստորև բերված են «MTC» ծրագային գործիքի բոլոր հասանելի փոփոխականների նշանակությունները.

- compiler_name - ստեղծվող ՍԿԸՀ-ի համար օգտագործվող թարգմանչի գրադարանի անվանումը,
- memory_name – ստեղծվող ՍԿԸՀ-ի անվանումը. օգտագործվում է ելքային ֆայլերի վերնագրման նպատակով,
- pvt_name – գործընթացի անվանումը, որը կօգտագործվի ելքային ՍԿԸՀ-ի հապաղումների ու հզորության մոդելների համար,
- view_name – սահմանում է ստեղծվող նախագծի ելքային ֆայլերի ձևաչափերը:

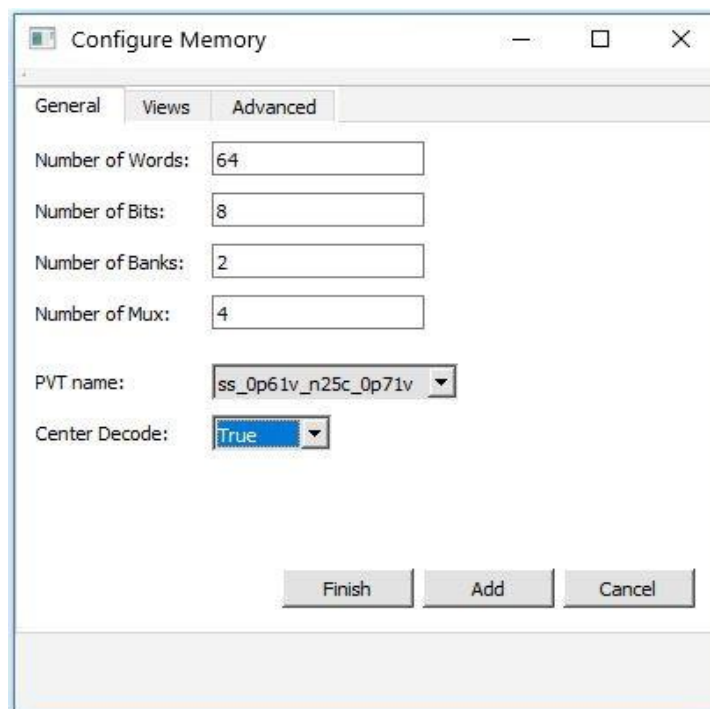
Օգտագործողի գրաֆիկական ինտերֆեյսը.

Օգտագործողի գրաֆիկական ինտերֆեյսի միջոցով հնարավոր հեշտությամբ է ստեղծել մուտքային կոնֆիգուրացիոն ֆայլը՝ առանց տիրապետելու մուտքային փոփոխականների թույլատրվող շարահյուսություններին: Ստեղծված ինտերֆեյսը ներկայացնում է երկխոսության պատուհան, որը պարունակում է մի քանի ենթապատուհաններ: Ստորև ներկայացված է հիմնական պատուհանը (նկ. 3.6): Այն

պարունակում է նոր նախագծի ստեղծման դաշտերը՝ նախագծի անվանման, թարգմանչի ընտրման և ելքային արդյունքների տեղակայման դաշտերը:



Նկ. 3.6. ԾԳ-ի գրաֆիկական ինտերֆեյսի թարգմանչի ընտրման պատուհանի տեսքը
Լրացնելով համապատասխան դաշտերը և սեղմելով «ok» կոճակը, կհայտնվի
հիշասարքի պարամետրերի ներմուծման պատուհանը (նկ. 3.7):



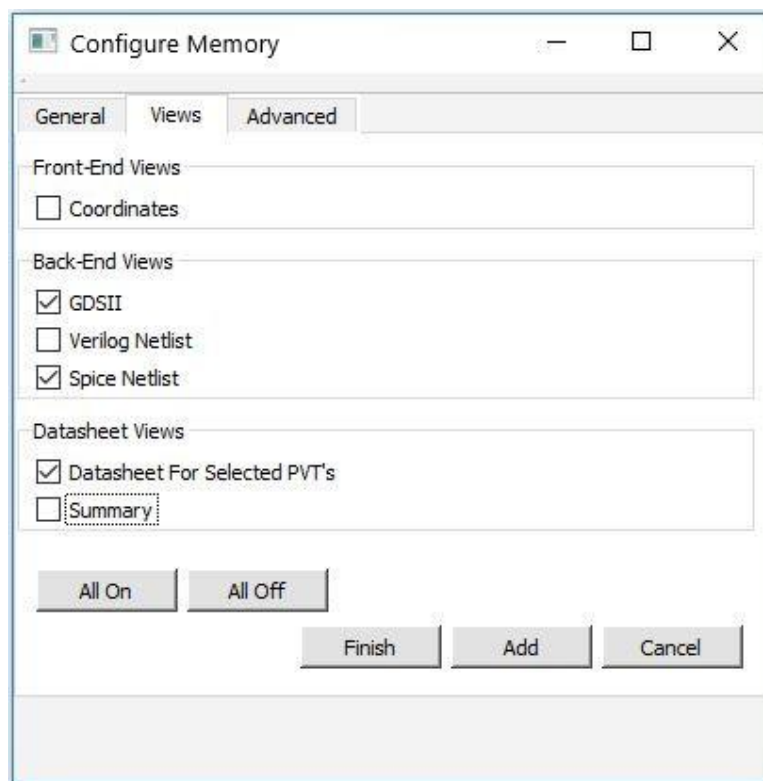
Նկ. 3.7. ԾԳ-ի գրաֆիկական ինտերֆեյսի հիշասարքի պարամետրերի ներմուծման
պատուհանի տեսքը

Այն պարունակում է «Number of Words», «Number of Bits», «Number of Banks», «PVT name», «Center Decode» արժեքների ներմուծման դաշտերը:

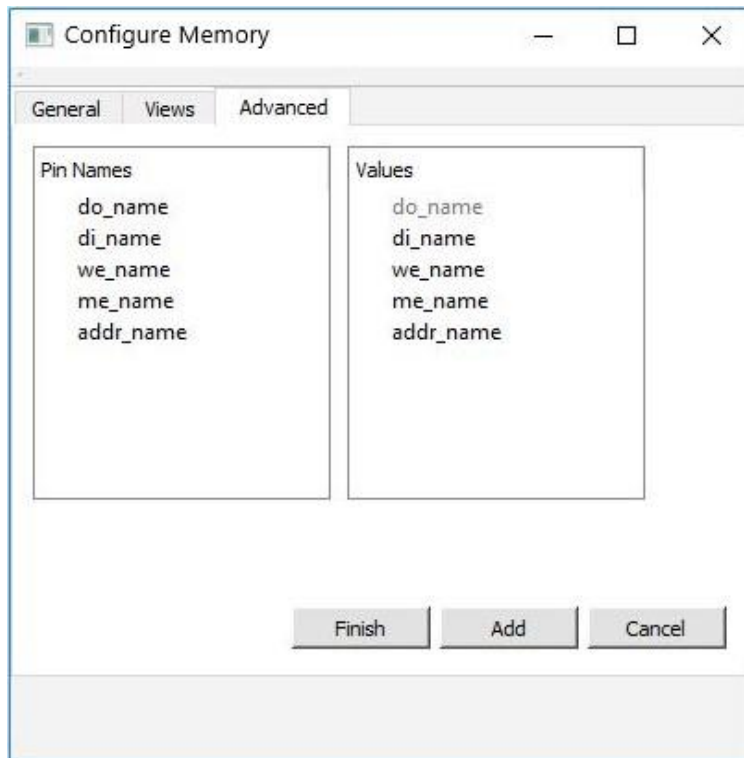
Երկխոսության պատուհանն ունի հավելյալ երկու ենթապատուհաններ, որոնք պատասխանատու են ելքային ֆայլերի կառավարման և մատույցների անվանափոխման համար:

«Views» ենթապատուհանը պարունակում է ելքային ֆայլերի կառավարման վանդակները («SPICE», «GDSII», «Datasheet», «Verilog Netlist» և այլն) (նկ. 3.8): Լռելյայն կառուցելով հիշասարքը՝ ԾԳ-ն արտաձում է «SPICE» և «GDSII» ձևաչափերով ֆայլերը:

Երրորդ ենթապատուհանը պարունակում է մուտքային և ելքային մատույցների անվանափոխության պատուհանը (նկ. 3.9), որը կազմված է երկու սյուններից: Առաջին սյան մեջ տեղադրված են այն փոփոխականների անունները, որոնք օգտագործված են թարգմանչի տեղաբաշխման ֆայլում: Երկրորդ սյան մեջ հնարավոր է մուտքագրել ցանկացած անվանում: Այս պատուհանը հնարավորություն է տալիս օգտագործողին՝ փոխելու ցանկացած մատույցի անվանումն ըստ պահանջի:

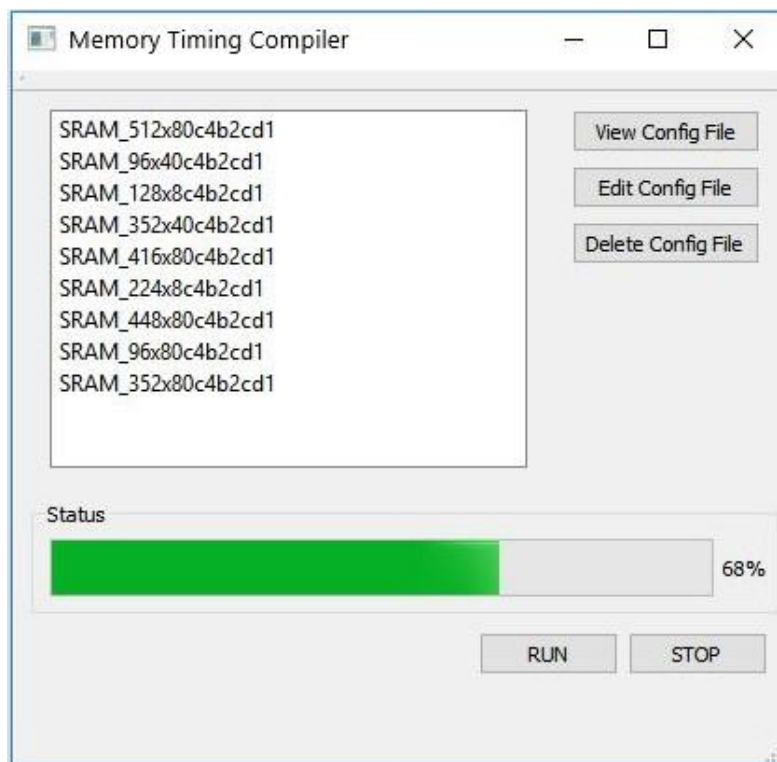


Նկ. 3.8. ԾԳ-ի գրաֆիկական ինտերֆեյսի ելքային ֆայլերի ձևաչափերի կառավարման պատուհանի տեսքը



Նկ. 3.9. ԾԳ-ի գրաֆիկական ինտերֆեյսի ելքային և մուտքային մատույցների կառավարման պատուհանի տեսքը

Լրացնելով բոլոր պարամետրերի արժեքները և սեղմելով «Finish» կոճակը՝ ԾԳ-ն սկսում է ՍԿԸՀ-ի կառուցման գործընթացը (նկ. 3.10):



Նկ. 3.10. ԾԳ-ի գրաֆիկական ինտերֆեյսի ՍԿԸՀ-ի կառուցման գործընթացը

Այսպիսով, ԾԳ-ի գրաֆիկական ինտերֆեյսը կառուցում է մուտքային կոնֆիգուրացիոն ֆայլը, և ինչպես նշվեց նախորդ ենթաբաժնում, փոխանցում է այդ ֆայլը ոչ գրաֆիկական ինտերֆեյսին:

3.2. Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցի արդյունավետության գնահատումը

Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների արդյունավետությունը գնահատելու նպատակով ստեղծված «MTC» ծրագրային գործիքով կառուցվել են տարբեր չափերի և տեսակների ՍԿԸՀ-ներ: Այդ ՍԿԸՀ-ները համեմատվել են առանց արագագործության բարձրացման մեթոդների կիրառման ՍԿԸՀ-ների հետ: Համեմատության նպատակով որպես ծրագրի մուտքային գրադարան ստեղծվել են երեք տարբեր թարգմանիչներ՝ հետևյալ մոտեցումներով:

ՍԿԸՀ թարգմանչի առաջին գրադարանն իրագործված է՝ առանց 2.2.2-ում, 2.2.4-ում և 2.2.5-ում ստեղծված հատուկ սխեմաների: Այսինքն՝ դրանում օգտագործված է մեկ սնուցման դող, որպես տարրական բջիջ ընտրված է 6S տիպի բջիջը [110], արագագործ նախալիցքավորման սխեմայի փոխարեն օգտագործված է սովորական նախալիցքավորման սխեմա, բացակայում է նաև ինքնաժամանակաչափ սխեման: Այս թարգմանչի անվանումն է «LS1p11_SRAM»:

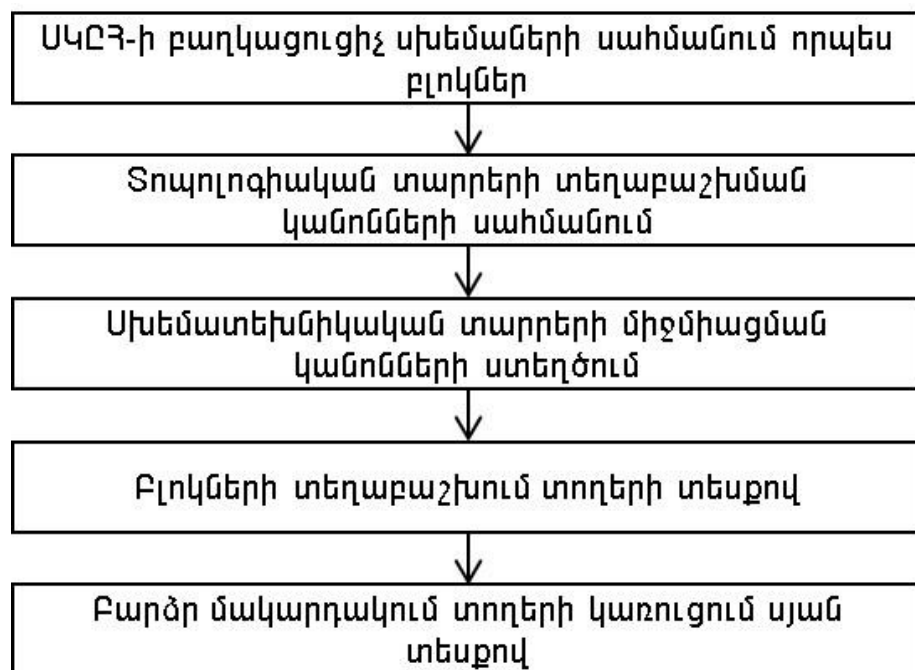
ՍԿԸՀ թարգմանչի երկրորդ գրադարանն իրագործված է 2.2.2-ում, 2.2.5-ում առաջարկված սխեմաների միջոցով, բայց առանց լավարկված արագագործ նախալիցքավորման սխեմայի: Այս թարգմանչի անվանումն է «HS1p11_SRAM_NO_PRCH»:

ՍԿԸՀ թարգմանչի երրորդ գրադարանն իրագործված է 2.2.2-ում, 2.2.4-ում և 2.2.5-ում ստեղծված հատուկ սխեմաների միջոցով: Այն օգտագործում է լավարկված արագագործ նախալիցքավորման սխեման, բազմակի դողերով սնուցումը, ՍԴԴ-ներով հիշողության զանգվածը և ինքնաժամանակաչափ սխեման: Այս թարգմանչի անվանումն է «HS1P11_SRAM»: Ստացված թարգմանչի գրադարաններից յուրաքանչյուրով ԾԳ-ի միջոցով կառուցվել են 43 ՍԿԸՀ-ներ՝ նույնական հիշողության

ծավալներով: ԾԳ-ի աշխատանքի համար յուրաքանչյուր թարգմանչի գրադարաններում մշակվել են տեղաբաշխման ֆայլեր, որոնց միջոցով նախագծվում են նույն ճարտարապետությամբ տարբեր չափերի ՍԿԸՀ-ներ:

Տեղաբաշխման ֆայլերի ստեղծման նպատակով որպես հիմք օգտագործվել է առկա փորձնական ՍԿԸՀ-ի կլաստերը, որը ներկայացված է 2.5-ում: Վերը նշված երրորդ հիշողության թարգմանչի գրադարանը՝ «HS1p11_SRAM» իրականացված է 2.1-2.5-ում առաջարկված բոլոր մեթոդներով, երկրորդ գրադարանը՝ «HS1p11_SRAM_PRCH», իրականացված է նույն բջիջներով, բայց սովորական նախալիցքավորման սխեմայով, իսկ առաջին գրադարանն իրագործված է այլ տիպի տարրական բջիջներով: Այս գրադարանները ստեղծված են՝ գնահատելու համար առաջարկված մեթոդների արդյունավետությունը:

Նախագծած «HS1p11_SRAM» թարգմանչի տեղաբաշխման ֆայլը ստեղծվել է՝ օգտագործելով հետևյալ ընթացակարգը (նկ. 3.11):



Նկ. 3.11. Տեղաբաշխման ֆայլի ստեղծման ընթացակարգը

Տեղաբաշխման ֆայլում ցանկացած նկարագրության համար օգտագործվում է հատուկ տեքստային լեզու, որի շարահյուսության կառուցները ներդրված են ԾԳ-ում:

Ստորև բերված է տեղաբաշխման ֆայլում հիշողության զանգվածի նկարագրությունը: Հիշողության զանգվածը բաղկացած է տարրական հիշողության

բջիջներից, որոնք սահմանվում են որպես բլոկներ, իսկ դրանց քանակը ղեկավարվում է փոփոխականներով (նկ. 3.12):

```
(SET $NW = $db{NW_num})
(SET $NB = $db{NB_num})
(SET $BK = $db{Bank_num})
(SET $CD = $db{center_num})

(SET $ARRAY_CELL = $db{array4x4})
```

Նկ. 3.12. Տեղաբաշխման ֆայլում փոփոխականների սահմանման օրինակը

Հիշողության զանգվածի մեկ տողի կառուցման համար անհրաժեշտ է սահմանել հիշողության բջիջը որպես բլոկ՝ հայտարարելով սխեմատեխնիկական միջմիացումները և տոպոլոգիական սխեմայի տեղաբաշխումը (նկ. 3.13):

```
(BLOCK bitcell_io
(PIN vdda SINGLE INOUT)
(PIN vdd SINGLE INOUT)
(PIN vss SINGLE INOUT)
(PIN bb BUS [3:0] INOUT)
(PIN bt BUS [3:0] INOUT)
(PIN w1 BUS [3:0] INOUT)

(PLACE $ARRAY_CELL)

(CONNECT
(X_bitcell_io
vdda vdd vss
bb[0] bb[1] bb[2] bb[3]
bt[0] bt[1] bt[2] bt[3]
w1[0] w1[1] w1[2] w1[3]
$ARRAY_CELL))
)

(BLOCK bitcell_tier
(PIN vdda SINGLE INOUT)
(PIN vdd SINGLE INOUT)
(PIN vss SINGLE INOUT)
(PIN bb BUS [$NB - 1:0] INOUT)
(PIN bt BUS [$NB - 1:0] INOUT)
(PIN w1 BUS [3:0] INOUT)

(PLACE_X $NB $bitcell_io)

(FOREACH X [0 : $NB - 1 : 1]
(SET L = 4 * X)
(SET H = L + 3)
```

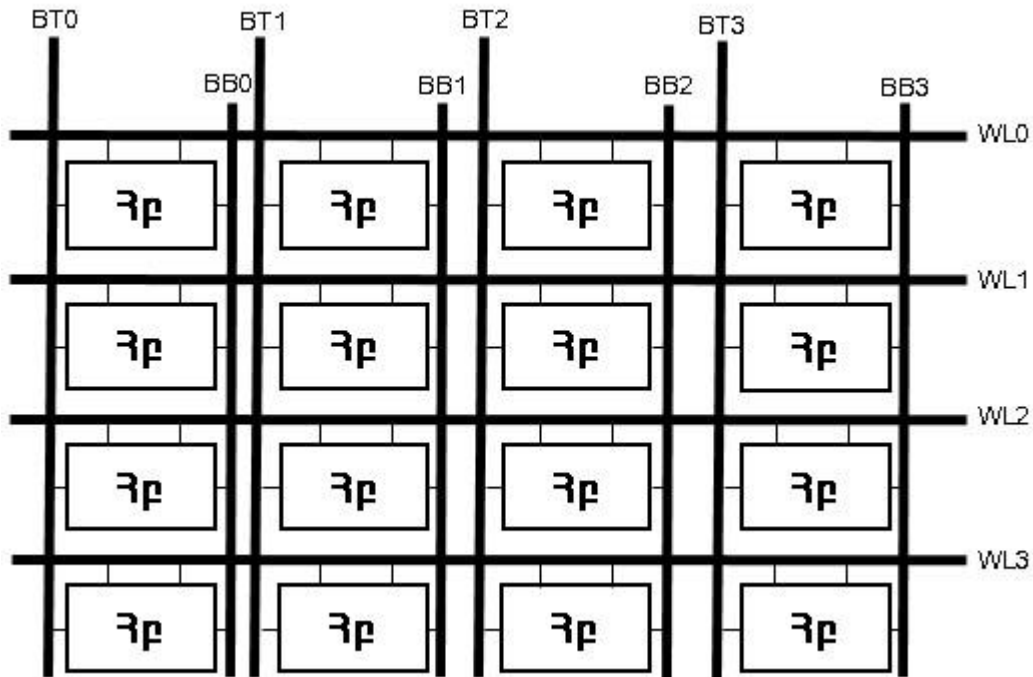
```

(X_bitcell_tier_[X]
  vdda vdd vss
  bb[H:L] bt[H:L]
  wl[3:0]
  $bitcell_io) )

```

Նկ. 3.13. Հիշողության զանգվածի մեկ տողի օրինակը

Այսպիսով, իմանալով մուտքային տվյալները, տեղաբաշխման ֆայլում նկարագրված զանգվածի տողի կառուցվածքը կունենա հետևյալ տեսքը (նկ. 3.14): Օգտագործելով նույն տրամաբանությունը, հայտարարվում են նաև ՍԿԸՀ-ի մյուս բաղադրիչ սխեմաները՝ որպես բլոկներ, և բոլորը համատեղվում են մեկ ընդհանուր բլոկում, որը ներկայացնում է վերջնական ՍԿԸՀ-ն:



Նկ. 3.14. Տեղաբաշխման ֆայլի միջոցով ստացվող հիշողության զանգվածի մեկ տողի սխեմատեխնիկական կառուցվածքը

Ստորև բերված է տեղաբաշխման ֆայլի օրինակը, որտեղ նկարագրված են փոփոխականների և բաղկացուցիչ սխեմաների սահմանումները:

- 1 (PLACEMENT_FILE HS1P11_SRAM
- 2 (BLOCK VARIABLES
- 3 (SET \$center_decode = \$db{center_decode}))

```

4   (SET $dual_supply      = $db{vdda_enable})
5   (SWITCH $dual_supply : ACTION
6   (CASE 0  : (SET $vddh_name = $vdd_name) )
7   (CASE 1  : (SET $vddh_name = $db{vdda_name})))
8   (SET $BK      = $db{BK})
9   (SET $NW      = $db{NW})
10  (SET $NB      = $db{NB})
11  (SET $CM      = $db{CM})
12  (SET $PC = $NB * $CM)
13  (SET $PR = $NW / $CM)
14  (SET $PR_BK = $PR / $BK)
15  (SET $cps = $PC / (1 + $center_decode))
16  (SET $pr_xdec = 4)
17  (SET $xdec_bk = $PR_BK / $pr_xdec)
18  (SET $NADDR = LOG($NW))
19  (SET $naddr_y = LOG($CM))
20  (SET $vss_name = $db{vss_name})
21  (SET $vdd_name = $db{vdd_name})
22  (SET $qa_name = $db{do_name})
23  (SET $adra_name = $db{addr_name})
24  (SET $da_name = $db{di_name})
25  (SWITCH $CM : $GIO $GPIN_IO_BIST
26  (CASE 4 : global_io4x1 io4x1_pin )
27  (CASE 8 : global_io8x1 io4x1_pin )
28  (CASE 16 : global_io16x1 io4x1_pin )
29  )
30  (SET $REF_CEN = $db{"refctrl"})
31  (SET $SAC_CEN = $db{"sactrl"})
32  (SET $MUX_CEN = $db{"muxctrl"})
33  (SET $GIO_IO = $db{$GIO})
34  (SET $GLOBAL_CEN = $db{"global_ctrl"})
35  (SET $PIN_CEN = $db{$PINCEN})

```

```

36 (SET $DECODER = $db{"dec"})
37 (SET $DECODER_BUFFER = $db{"buf"})
38 (SET $REF_BUFFER = $db{"refbuf"})
39 (SET $MUX_BUFFER = $db{"muxbuf"})
40 (SET $SAC_BUFFER = $db{"sacbuf"})
41 (SET $GIO_BUFFER = $db{"global_buf"})
42 (SET $PIN_BUF_R = $db{$PIN_BUFFER})
43 (SET $ARY_TILE = $db{"array4x4"})
44 (SET $MUX_TILE = $db{"mux4x1"})
45 (SET $SAMP_TILE = $db{"sac4x1"})
46 (SET $REF_TILE = $db{"rarray2x4"})
47 (SET $REF_RET = $db{"rarray_ret2x4"})
48 (SET $PIN_TILE = $db{$PIN_IO})
49 (SET $PIN_TILE_SCH = $db{$GPIN_IO})
50 (BLOCK array_io
51 (PIN vdda vdd vss SINGLE INOUT)
52 (PIN bb BUS [$CM - 1:0] INOUT)
53 (PIN bt BUS [$CM - 1:0] INOUT)
54 (PIN wl BUS [3:0] INOUT)
55 (PLACE_X $ARY_TILE) $CM / 4
56 (FOREACH X [0 : $CM / 4 - 1 : 1 ]
57 ($B0 = 4 * X) ($B1 = $B0 + 1) ($B2 = $B1 + 1) ($B3 = $B2 + 1)
58 (X_ary_[X] : vdda vdd vss bb[$B0] bb[$B1] bb[$B2] bb[$B3] bt[$B0]
59 bt[$B1] bt[$B2] bt[$B3] wl[0] wl[1] wl[2] wl[3] $ARY_TILE)
60 )

```

Առաջին «VARIABLES» բլոկում հայտարարված են սխեմայի կառուցման համար անհրաժեշտ բոլոր մուտքային փոփոխականները: Տեղաբաշխման ֆայլում օգտագործողի կողմից մուտքագրված տվյալները փոխանցվում են տեղաբաշխման ֆայլ՝ պարամետրերի տեսքով (\$NB, \$NW և այլն), որոնք, կախված մուտքային տվյալներից, կարող են փոխվել ՍԿԸՀ-ի նախագծի կառուցման ընթացքում: ՍԿԸՀ-ի

բաղադրիչ սխեմաները կանչվում են տվյալների հենքերից և հայտարարվում են որպես փոփոխականների արժեքներ (\$DECODER, \$ARY_TILE և այլն):

Սխեմայի վերին մակարդակի և բաղադրիչ սխեմաներից մեկի կառուցվածքները բերված են ստորև:

```
1 (BLOCK array_segment1_rt
2 (PIN vdda vdd vss INOUT)
3 (PIN bb BUS [$CM * $NBR - 1 : 0] INOUT)
4 (PIN bt BUS [$CM * $NBR - 1 : 0] INOUT)
5 (PIN wl BUS [3:0] INOUT)
6 (PLACE_X
7 (PLACE 1 $DECODER_BUFER)(PLACE $NBRS1 array_io) ) $NBR + 1
8 (FOREACH VI[0 : $NBR - 1 : 1]
9 ($VL = $CM * VI) ($VH = VL + $CM - 1)
10 (Xary_t_[VI] vdda vdd vss bb[VH:VL] bt[VH:VL] wl[3:0] array_io)
11 )
12 (CALL (XWLBUF $DECODER_BUFER))
13 )
14 (BLOCK ary_rt
15 (PIN vdda vddpi vddwl vss INOUT)
16 (PIN bb BUS [$CM * $NBR - 1 : 0] INOUT)
17 (PIN bt BUS [$CM * $NBR - 1 : 0] INOUT)
18 (PIN wlb BUS [$xdec_bk * 4 - 1 : 0] INPUT)
19 (PLACE_X array_segment1_rt)
20 (FOREACH VI[1 : 1 : 1]
21 ($LSB = 0 )
22 ($MSB = $NBR)
23 (X_array_segment1_rt[VI] vdda vddp vddwl[VI] vss
24 bb[$CM * MSB - 1 : $CM * LSB] bt[$CM * MSB - 1 : $CM * LSB]
25 wl[$xdec_bk * 4 - 1 : 0] wlb[$xdec_bk * 4 - 1 : 0]
26 array_segment1_rt)
27 )
28 )
```

```

29 (BLOCK $instance_name
30 (PIN $qa_name BUS [$NB - 1:0] OUTPUT)
31 (PIN $vddh_name SINGLE INOUT ? $dual_supply)
32 (PIN $vddp_name SINGLE INOUT)
33 (PIN $vss_name SINGLE INOUT)
34 (PIN $adra_name BUS [$NADDR - 1:0] INPUT)
35 (PIN $da_name BUS [$NB - 1:0] INPUT)
36 (PIN $wea_name SINGLE INPUT)
37 (PIN $mea_name SINGLE INPUT)
38 (PIN $clk_name SINGLE INPUT)
39 (CONNECT (X_top_instance
40 $qa_name[$NB - 1:0]
41 $vddh_name
42 $vddp_name
43 $vss_name
44 $adra_name[$NADDR - 1:0]
45 $da_name[$NB - 1:0]
46 $mea_name
47 $clk_name
48 $top_lay))
49 )

```

Բլոկի անվանումը փոփոխական է (\$instance_name), որը տրվում է օգտագործողի կողմից՝ մուտքային կոնֆիգուրացիոն ֆայլի միջոցով: Ավելի բարձի մակարդակի բլոկներում ՍԿԸՀ-ի բաղադրիչ սխեմաների նկարագրությունը կախված է այլ պարամետրերից (օրինակ՝ 10 տողում հիշողության զանգվածի մեկ տողում հայտարարված հիշողության բջիջների քանակը կառավարվում է 8 և 9 տողերում հայտարարված փոփոխականներով՝ \$NBR և \$CM):

Երկրորդ փուլում սահմանվում են ՍԿԸՀ-ի բաղադրիչ սխեմաների բլոկների կցմամբ տեղաբաշխման կանոնները, որոնք անհրաժեշտ են ՍԿԸՀ-ի վերջնական տոպոլոգիայի ստացման համար: Այդ կանոնների նկարագրման համար ԾԳ-ում ստեղծվել են հատուկ ձևաչափի ֆունկցիաներ, որոնք օգտագործվում են

տեղաբաշխման ֆայլում (նկ. 3.15):

```

1. (PLACE_X (PLACE 1 $DECODER_BUFER) (PLACE $NBR$1 array_io) )
   $NBR + 1
2. (PLACE_Y (PLACE 1 pin_tier) (PLACE 1 gio_tier) ) 2
3. (PLACE_Y (PLACE sac_tier) (PLACE mux_tier) (PLACE ary_tier)
4. (PLACE ref_tier) ) 4 * $bkone
5. (PLACE_Y (PLACE ary_tier MX) (PLACE mux_tier MX)
6. (PLACE sac_tier) (PLACE mux_tier) (PLACE ary_tier)
7. (PLACE ref_tier) ) 6 * $bk2

```

Նկ. 3.15. Ֆիզիկական նախագծի կանոնների օրինակը

Բլոկների ֆիզիկական տեղաբաշխումն իրականացվում է՝ օգտագործելով երկու տիպի ֆունկցիաներ՝ «PLACE» և «PLACE_*»: Այս ֆունկցիան սահմանում է բջիջների գտնվելու վայրը և կողմնորոշումը, որը պետք է տեղադրվի բլոկի մեջ:

«PLACE» ֆունկցիան հետևում է հետևյալ ձևին.

```

(PPLACE <բջջի/բլոկի աճուճ> <գտնվելու վայրը> [ <կողմնորոշում>] )

```

Ձևաչափում ներկայացված են.

- «բջջի կամ բլոկի անունը» - կարող է լինել փոփոխական կամ անվանում,
- «գտնվելու վայրը» - ունի «X» և «Y» կոորդինատներ, որոնք սահմանում են բջջի կամ բլոկի գտնվելու վայրը արտաքին բլոկի համեմատ:

Այս հայտարարությունները թույլ են տալիս հետևյալ գործողությունների իրականացումը՝ գումարում, հանում բազմապատկում և բաժանում:

Արգումենտները կարող են լինել թվեր կամ փոփոխականներ,

- «կողմնորոշումը» - կարող է ներառել պտույտ և հայելային իրականացում:

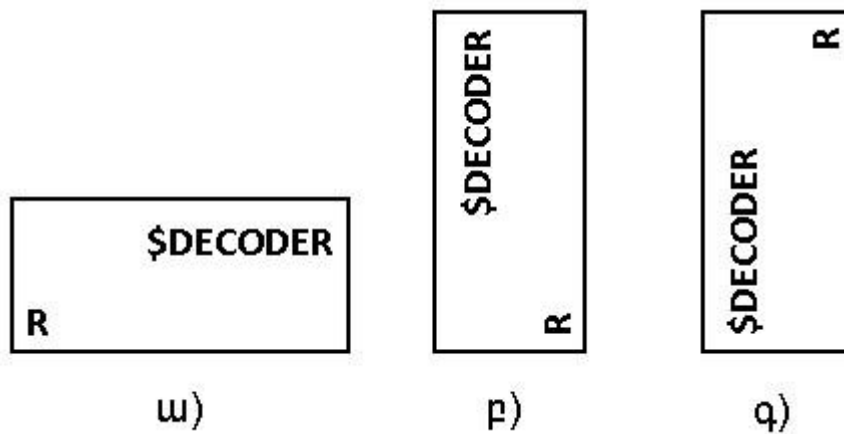
Օրինակ.

```

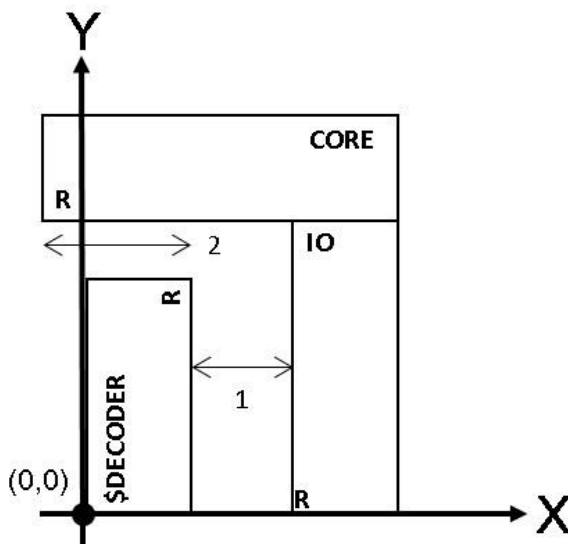
(BLOCK SRAM
  (PLACE $DECODER 0 0 R90 MX)
  (PLACE IO HEIGHT($DECODER) + 1 0)
  (PLACE CORE HEIGHT($DECODER) - 2 HEIGHT(IO))
)

```

Առաջին հայտարարության միջոցով ԾԳ-ն տեղաբաշխում է «\$DECODER» բլոկը (0,0) կոորդինատում (նկ. 3.16 ա), ապա պտտում է այն 90°-ով (նկ. 3.16 բ) և «X» առանցքի շուրջ հայելային պտույտ կատարում (նկ. 3.16 գ):



Նկ. 3.16. «PLACE» ֆունկցիայի միջոցով «\$DECODER» բլոկի իրականացումը
 Մնացած հայտարարությունները հանգեցնում են հետևյալ տեսքի տեղաբաշխմանը (նկ. 3.17):



ՄԻ. 3.17. Օրինակում բերված բլոկների նկարագրությունը

«PLACE_X» և «PLACE_Y» ֆունկցիաները հայտարարում են բլոկներից կամ բջիջներից կազմված զանգվածներ, սկսված ընթացիկ բլոկի (0,0) կոորդինատից:

«PLACE_X»-ը ստեղծում է միաչափ զանգված «X» առանցի վրա, իսկ «PLACE_Y»-ը կատարում է նույնը «Y» առանցքի վրա: Այս երկու ֆունկցիաների օգտագործումը հնարավորություն կտա ստեղծել ուղղանկյուն կառուցվածքներ: Ֆունկցիաներն ունեն հետևյալ հայտարարման տեսքը.

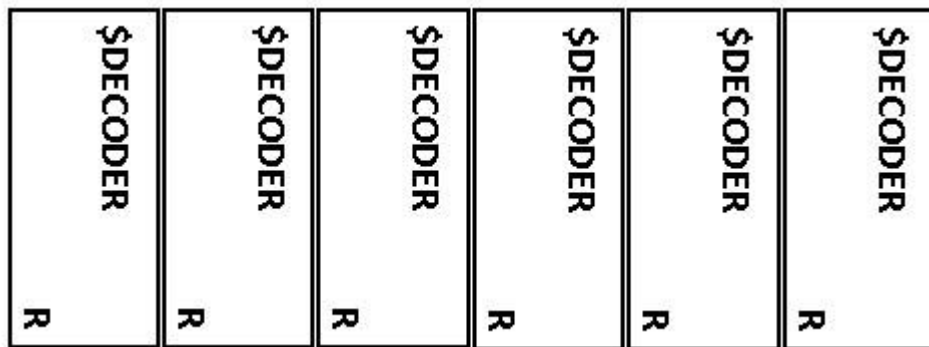
```
(PLACE_X/_Y <բջջի/բլոկի անուն> <թիվ> [ <կողմնորոշում> ] )
```

այստեղ, ի տարբերություն նախորդ ֆունկցիայի, ավելանում է «թիվ» արգումենտը, որը

սահմանում է բջիջը կամ բլոկը մի քանի անգամ կրկնելու քանակը «X» կամ «Y» ուղղությամբ: Այն կարող է ներկայացվել ինչպես թվի այնպես էլ փոփոխականի, տեսքով (նկ. 3.18).

```
(PLACE_X $DECODER 6 R90 MY)
```

Երրորդ փուլում սահմանվում են ՍԿԸՀ-ի բաղադրիչ սխեմաների սխեմատեխնիկական նկարագրությունների միջմիացումների կանոնները, որոնք անհրաժեշտ են ՍԿԸՀ-ի սխեմատեխնիկական նախագծի ստացման համար:



Նկ. 3.18. «X» առանցքով բլոկների դասավորվածությունը

Միջմիացումների կանոնների նկարագրման համար մշակվել են հատուկ ֆունկցիաներ: Ինչպես ֆիզիկական նախագծի դեպքում, բլոկների կամ բջիջների քանակներն այստեղ տրվում են փոփոխականներով, որոնց արժեքների տեղադրմամբ կարելի է ստանալ անհրաժեշտ ՍԿԸՀ-ի սխեմատեխնիկական նախագիծը: Այդ ֆունկցիաները երկուսն են՝ «CONNECT» և «FOREACH», որոնց շարահյուսության տեսքը նկարագրված է ստորև:

```
(CONNECT (<ենթասխեմայի_հայտարարությունը>))
(FOREACH <փոփոխական> <միջակայք> (<ենթասխեմայի_հայտարարությունը>))
```

Ներկայացված ֆունկցիաների շարահյուսություններում.

«ենթասխեմայի_հայտարարությունը» - ներկայացնում է ցածր մակարդակի սխեմայի մատույցների հայտարարությունը՝ ըստ հերթականության, «փոփոխական» - այս արգումենտով տրվում է փոփոխականը, որի արժեքը կփոխվի ըստ տրված միջակայքի, «միջակայք» - տրվում է այն միջակայքը, որի միջոցով հնարավոր է ղեկավարել տեղադրվող բլոկների կամ ենթասխեմաների քանակը:

Մյուս երեք փուլերում սահմանած բոլոր բլոկները կառուցվում են տողի տեսքով՝ օգտագործելով համապատասխան ֆունկցիաները, ապա տեղադրվում են սյան մեջ՝ ստանալով ՍԿԸՀ-ի վերջնական կառուցվածքը:

Տեղաբաշխման ֆայլի ստեղծումից հետո անհրաժեշտ է ստեղծել նաև հապաղումների և հզորությունների տվյալների գրադարանը, որը ներկայացնում է վարքագծային աղյուսակային ֆայլը: Այդ ֆայլը ստեղծվում է բնագավառում առկա և լայնորեն տարածված ծրագրային միջոցների շնորհիվ:

Նույն ընթացակարգով ստեղծվել են նաև մյուս հիշողության թարգմանիչների տեղաբաշխման և վարքագծային աղյուսակների ֆայլերը: Ստորև բերված են ստեղծված «LS1p11_SRAM» (աղ. 3.2), «HS1p11_SRAM_NO_PRCH» (աղ. 3.3) և «HS1P11_SRAM» (աղ. 3.4) հիշողության թարգմանիչներով «MTC» ծրագրային գործիքի միջոցով նախագծված ՍԿԸՀ-ների հիմնական պարամետրերի արժեքները:

Ստացված ՍԿԸՀ-ների երկու խմբերը համեմատվել են «LS1p11_SRAM»-ի հետ՝ ըստ հիմնական պարամետրերի՝ գրանցման/ընթերցման հապաղման, ստատիկ/դինամիկ էներգասպառման և զբաղեցրած մակերեսի:

Ինչպես երևում է «HS1p11_SRAM_NO_PRCH» հիշողության թարգմանչով ստացված արդյունքներից (աղ. 3.3), մշակված մեթոդի կիրառումն ապահովում է նախագծված սխեմաների գրանցման և ընթերցման հապաղումների համապատասխանաբար մոտ 2-10%-ով և 15-25%-ով կրճատում՝ դրանց էներգասպառման մեջ ընդամենը գրանցման մոտ 2-6%-ով, ընթերցման մոտ 3-22%-ով և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի մոտ 6-13%-ով կորստի պարագայում՝ համեմատած «LS1p11_SRAM» թարգմանչով ստացված արդյունքների հետ:

«HS1P11_SRAM» թարգմանչով նախագծված ՍԿԸՀ-ներում մակերեսը լրացուցիչ աճում է մոտ 1-3%-ով, իսկ ծախսվող հզորությունը գրանցման ռեժիմում մոտ 2-12%-ով, ընթերցման ռեժիմում՝ մոտ 1-4-ով՝ ի հաշիվ առաջարկված ԱՆՍ-ի օգտագործման, ապահովելով լրացուցիչ գրանցման և ընթերցման հապաղումների համապատասխանաբար մոտ 2-11%-ով և 5-10%-ով կրճատում: Մակերեսի շահումը,

բանականաբար, փոքր է մեծ ընդհանուր մակերես ունեցող սխեմաներում, քանի որ դրանցում ԱՆՍ -երի զբաղեցրած մակերեսի փոքրացումը զգալի դեր չի խաղում:

Այսպիսով, առաջակված ՍԿԸՀ-ների արագագործության բարձրացման մեթոդը, որի դեպքում օգտագործվում են նոր տեսակի բաղկացուցիչ սխեմաներ՝ ՍԴԴ-եր և ԻԺՍ-եր և ԱՆՍ-եր, թույլ է տալիս ապահովել արագագործության բարձրացում՝ գրանցման գործողության դեպքում մոտ 4-21%-ով և ընթերցման գործողության դեպքում մոտ 18-32%-ով՝ գրանցման 4-19%-ով և ընթերցման 8-30%-ով էներգասպառման ծախսի, ինչպես նաև մակերեսի 6-15%-ով թույլատրելի կորուստների պարագայում:

Աղյուսակ 3. 2

«LS1p11_SRAM» հիշողության թարգմանչի հիշասարքերի պարամետրերը

Հիշասարք	Հապաղում (սկ)		Ընդ. սպառվող հզորություն (մկվտ)		Մակերես (մկմ ²)	Գր. ժ. շահում (%)	Ընթ. ժ. շահում (%)	Էներգասպառման կորուստ (%)		Սակերեսի կորուստ (%) (մկմ)
	Գրանցում	Ընթերցում	Գրանցում	Ընթերցում				Գրանցում	Ընթերցում	
SRAM_64x8c4b2cd1	738	773	0,29	0,25	467,37	-	-	-	-	-
SRAM_64x40c4b2cd1	774	787	0,84	0,58	1331,21	-	-	-	-	-
SRAM_64x80c4b2cd1	912	818	1,59	1,04	2411,01	-	-	-	-	-
SRAM_96x8c4b2cd1	739	773	0,29	0,25	497,18	-	-	-	-	-
SRAM_96x40c4b2cd1	774	787	0,87	0,59	1413,73	-	-	-	-	-
SRAM_96x80c4b2cd1	912	819	1,65	1,07	2559,43	-	-	-	-	-
SRAM_128x8c4b2cd1	739	773	0,31	0,26	525,63	-	-	-	-	-
SRAM_128x40c4b2cd1	774	787	0,91	0,62	1492,50	-	-	-	-	-
SRAM_128x80c4b2cd1	912	819	1,71	1,09	2701,10	-	-	-	-	-
SRAM_160x8c4b2cd1	769	772	0,31	0,26	554,08	-	-	-	-	-
SRAM_160x40c4b2cd1	804	781	0,93	0,63	1571,27	-	-	-	-	-
SRAM_160x80c4b2cd1	930	805	1,75	1,12	2842,76	-	-	-	-	-
SRAM_192x8c4b2cd1	772	774	0,32	0,27	583,88	-	-	-	-	-

Աղ. 3.2-ի շարունակությունը

SRAM_192x40c4b2cd1	805	782	0,95	0,64	1653,79	-	-	-	-	-
SRAM_192x80c4b2cd1	930	802	1,80	1,15	2991,18	-	-	-	-	-
SRAM_224x8c4b2cd1	776	774	0,33	0,28	612,33	-	-	-	-	-
SRAM_224x40c4b2cd1	807	781	0,98	0,65	1732,56	-	-	-	-	-
SRAM_224x80c4b2cd1	931	798	1,85	1,17	3132,85	-	-	-	-	-
SRAM_256x8c4b2cd1	780	774	0,33	0,28	640,78	-	-	-	-	-
SRAM_256x40c4b2cd1	809	780	1,00	0,67	1811,33	-	-	-	-	-
SRAM_256x80c4b2cd1	932	797	1,89	1,20	3274,51	-	-	-	-	-
SRAM_288x8c4b2cd1	835	770	0,35	0,29	670,58	-	-	-	-	-
SRAM_288x40c4b2cd1	902	772	1,04	0,69	1893,85	-	-	-	-	-
SRAM_288x80c4b2cd1	951	784	1,95	1,23	3422,93	-	-	-	-	-
SRAM_320x8c4b2cd1	841	768	0,36	0,30	699,03	-	-	-	-	-
SRAM_320x40c4b2cd1	907	769	1,06	0,70	1972,62	-	-	-	-	-
SRAM_320x80c4b2cd1	955	779	2,01	1,26	3564,60	-	-	-	-	-
SRAM_352x8c4b2cd1	847	765	0,37	0,30	727,48	-	-	-	-	-
SRAM_352x40c4b2cd1	913	766	1,10	0,73	2051,39	-	-	-	-	-
SRAM_352x80c4b2cd1	958	774	2,07	1,29	3706,27	-	-	-	-	-
SRAM_384x8c4b2cd1	853	763	0,38	0,32	757,29	-	-	-	-	-
SRAM_384x40c4b2cd1	918	765	1,13	0,74	2133,91	-	-	-	-	-
SRAM_384x80c4b2cd1	961	770	2,13	1,32	3854,68	-	-	-	-	-
SRAM_416x8c4b2cd1	860	763	0,39	0,33	785,74	-	-	-	-	-
SRAM_416x40c4b2cd1	923	763	1,17	0,77	2212,68	-	-	-	-	-
SRAM_416x80c4b2cd1	964	765	2,20	1,36	3996,35	-	-	-	-	-
SRAM_448x8c4b2cd1	866	761	0,40	0,33	814,19	-	-	-	-	-
SRAM_448x40c4b2cd1	929	760	1,20	0,79	2291,45	-	-	-	-	-
SRAM_448x80c4b2cd1	967	762	2,26	1,39	4138,02	-	-	-	-	-
SRAM_480x8c4b2cd1	872	759	0,41	0,34	843,99	-	-	-	-	-
SRAM_480x40c4b2cd1	934	757	1,23	0,80	2373,97	-	-	-	-	-
SRAM_512x40c4b2cd1	940	754	1,27	0,83	2407,82	-	-	-	-	-

Աղ. 3.2-ի շարունակությունը

SRAM_512x80c4b2cd1	974	753	2,38	1,46	4428,10	-	-	-	-	-
--------------------	-----	-----	------	------	---------	---	---	---	---	---

Աղյուսակ 3. 3

«HS1p11_SRAM_NO_PRCH» հիշողության թարգմանչի հիշասարքերի պարամետրերը

Հիշասարք	Հապաղում (սվ)		Ընդ. սպառվող հզորություն (մկվտ)		Մակերես (մկմ ²)	Գր. ժ. շահում (%)	Ընթ. ժ. շահում (%)	Էներգասպառում ն կորուստ (%)		Սակերեսի կորուստ (%) (մկմ)
	Գրանցում	Ընթերցում	Գրանցում	Ընթերցում				Գրանցում	Ընթերցում	
SRAM_64x8c4b2cd1	725	580	0,30	0,26	535,90	2%	25%	4%	4%	13%
SRAM_64x40c4b2cd1	759	607	0,87	0,70	1476,42	3%	23%	4%	18%	10%
SRAM_64x80c4b2cd1	844	647	1,64	1,31	2652,07	8%	21%	4%	21%	10%
SRAM_96x8c4b2cd1	726	580	0,30	0,26	565,71	2%	25%	4%	4%	13%
SRAM_96x40c4b2cd1	759	607	0,90	0,72	1558,94	3%	23%	4%	19%	10%
SRAM_96x80c4b2cd1	844	647	1,70	1,35	2800,49	8%	22%	3%	21%	9%
SRAM_128x8c4b2cd1	726	580	0,33	0,28	594,16	2%	25%	7%	6%	12%
SRAM_128x40c4b2cd1	759	607	0,94	0,76	1637,71	3%	23%	4%	18%	9%
SRAM_128x80c4b2cd1	844	647	1,76	1,39	2942,16	8%	22%	3%	22%	9%
SRAM_160x8c4b2cd1	741	581	0,33	0,28	622,61	4%	25%	7%	6%	12%
SRAM_160x40c4b2cd1	774	607	0,97	0,77	1716,48	4%	23%	5%	19%	9%
SRAM_160x80c4b2cd1	854	645	1,81	1,43	3083,82	9%	20%	4%	22%	8%
SRAM_192x8c4b2cd1	744	583	0,33	0,29	652,41	4%	25%	4%	6%	11%
SRAM_192x40c4b2cd1	775	608	0,98	0,79	1799,00	4%	23%	4%	19%	9%
SRAM_192x80c4b2cd1	855	645	1,85	1,47	3232,24	9%	20%	3%	22%	8%
SRAM_224x8c4b2cd1	746	584	0,34	0,30	680,86	4%	25%	3%	6%	11%
SRAM_224x40c4b2cd1	777	609	1,01	0,81	1877,77	4%	23%	3%	20%	8%
SRAM_224x80c4b2cd1	856	645	1,90	1,50	3373,91	9%	20%	3%	22%	8%
SRAM_256x8c4b2cd1	749	584	0,35	0,30	709,31	5%	25%	6%	6%	10%
SRAM_256x40c4b2cd1	779	610	1,03	0,83	1956,54	4%	22%	3%	19%	8%
SRAM_256x80c4b2cd1	857	647	1,94	1,54	3515,57	9%	19%	3%	22%	7%
SRAM_288x8c4b2cd1	777	584	0,37	0,31	739,11	8%	25%	6%	7%	10%
SRAM_288x40c4b2cd1	826	609	1,08	0,86	2039,06	9%	22%	4%	20%	8%
SRAM_288x80c4b2cd1	867	645	2,01	1,58	3663,99	9%	18%	3%	23%	7%

Աղ. 3.3-ի շարունակությունը

SRAM_320x8c4b2cd1	781	585	0,37	0,32	767,56	8%	24%	3%	7%	9%
SRAM_320x40c4b2cd1	829	609	1,09	0,87	2117,83	9%	21%	3%	20%	7%
SRAM_320x80c4b2cd1	870	645	2,06	1,63	3805,66	9%	18%	3%	23%	7%
SRAM_352x8c4b2cd1	784	585	0,38	0,33	796,01	8%	24%	3%	8%	9%
SRAM_352x40c4b2cd1	832	609	1,13	0,91	2196,60	9%	21%	3%	20%	7%
SRAM_352x80c4b2cd1	872	644	2,12	1,67	3947,33	10%	17%	3%	23%	7%
SRAM_384x8c4b2cd1	788	585	0,40	0,34	825,82	8%	24%	5%	6%	9%
SRAM_384x40c4b2cd1	835	611	1,16	0,93	2279,12	10%	21%	3%	20%	7%
SRAM_384x80c4b2cd1	874	644	2,18	1,72	4095,74	10%	17%	3%	24%	6%
SRAM_416x8c4b2cd1	792	587	0,41	0,35	854,27	8%	24%	5%	6%	9%
SRAM_416x40c4b2cd1	839	611	1,21	0,96	2357,89	10%	20%	4%	20%	7%
SRAM_416x80c4b2cd1	876	644	2,26	1,77	4237,41	10%	16%	3%	24%	6%
SRAM_448x8c4b2cd1	795	587	0,41	0,36	882,72	9%	23%	3%	8%	8%
SRAM_448x40c4b2cd1	842	611	1,23	0,99	2436,66	10%	20%	3%	20%	6%
SRAM_448x80c4b2cd1	878	645	2,31	1,82	4379,08	10%	16%	3%	24%	6%
SRAM_480x8c4b2cd1	799	588	0,42	0,37	912,52	9%	23%	3%	7%	8%
SRAM_480x40c4b2cd1	845	611	1,28	1,01	2519,18	10%	20%	4%	21%	6%
SRAM_512x40c4b2cd1	849	612	1,33	1,04	2597,95	10%	19%	5%	21%	8%
SRAM_512x80c4b2cd1	883	645	2,45	1,91	4669,16	10%	15%	3%	24%	6%

Աղյուսակ 3. 4

«HS1P11_SRAM» հիշողության թարգմանչի հիշասարքերի պարամետրերը

Հիշասարք	Հապաղում (սկ)		Ընդ. սպառվող հզորություն (մկկկ)		Մակերես (մկմ ²)	Փր. ժ. շահում (%)	Ընթ. ժ. շահում (%)	Էներգասպառում և կորուստ (%)		Սակերեսի կորուստ (%)
	Փրանցում	Ընթերցում	Փրանցում	Ընթերցում				Փրանցում	Ընթերցում	
SRAM_64x8c4b2cd1	712	532	0,34	0,27	539,19	2%	9%	12%	4%	1%
SRAM_64x40c4b2cd1	743	562	0,91	0,71	1492,86	3%	8%	5%	2%	2%
SRAM_64x80c4b2cd1	776	604	1,68	1,32	2684,95	9%	7%	3%	1%	2%
SRAM_96x8c4b2cd1	712	532	0,34	0,27	569,00	2%	9%	12%	4%	1%
SRAM_96x40c4b2cd1	743	562	0,94	0,73	1575,38	3%	8%	5%	2%	2%
SRAM_96x80c4b2cd1	776	604	1,74	1,36	2833,37	9%	7%	3%	1%	2%
SRAM_128x8c4b2cd1	712	532	0,37	0,29	597,45	2%	9%	11%	4%	1%
SRAM_128x40c4b2cd1	743	562	0,98	0,77	1654,15	3%	8%	5%	2%	1%

Աղ. 3.4-ի շարունակությունը

SRAM_128x80c4b2cd1	776	604	1,80	1,40	2975,04	9%	7%	3%	1%	2%
SRAM_160x8c4b2cd1	713	533	0,37	0,29	625,90	4%	9%	11%	4%	1%
SRAM_160x40c4b2cd1	744	563	1,01	0,78	1732,92	4%	8%	4%	2%	1%
SRAM_160x80c4b2cd1	778	605	1,85	1,44	3116,70	9%	7%	3%	1%	2%
SRAM_192x8c4b2cd1	715	535	0,37	0,30	655,70	4%	9%	11%	4%	1%
SRAM_192x40c4b2cd1	745	565	1,02	0,80	1815,44	4%	8%	4%	2%	1%
SRAM_192x80c4b2cd1	779	606	1,89	1,48	3265,12	9%	7%	3%	1%	2%
SRAM_224x8c4b2cd1	716	536	0,38	0,31	684,15	5%	9%	11%	4%	1%
SRAM_224x40c4b2cd1	746	566	1,05	0,82	1894,21	4%	8%	4%	2%	1%
SRAM_224x80c4b2cd1	780	607	1,94	1,51	3406,79	9%	6%	3%	1%	1%
SRAM_256x8c4b2cd1	717	537	0,39	0,31	712,60	5%	9%	11%	4%	3%
SRAM_256x40c4b2cd1	748	567	1,07	0,84	1972,98	4%	7%	4%	2%	3%
SRAM_256x80c4b2cd1	781	609	1,98	1,55	3548,45	9%	6%	3%	1%	2%
SRAM_288x8c4b2cd1	718	538	0,41	0,32	742,40	8%	8%	10%	4%	1%
SRAM_288x40c4b2cd1	749	568	1,12	0,87	2055,50	10%	7%	4%	2%	1%
SRAM_288x80c4b2cd1	783	610	2,05	1,59	3696,87	10%	6%	2%	1%	2%
SRAM_320x8c4b2cd1	720	539	0,41	0,33	770,85	8%	8%	10%	4%	1%
SRAM_320x40c4b2cd1	750	569	1,13	0,88	2134,27	10%	7%	4%	2%	3%
SRAM_320x80c4b2cd1	784	611	2,10	1,64	3838,54	10%	6%	2%	1%	2%
SRAM_352x8c4b2cd1	721	540	0,42	0,34	799,30	9%	8%	10%	3%	1%
SRAM_352x40c4b2cd1	751	570	1,17	0,92	2213,04	10%	7%	4%	2%	2%
SRAM_352x80c4b2cd1	785	612	2,16	1,68	3980,21	10%	6%	2%	1%	1%
SRAM_384x8c4b2cd1	722	541	0,44	0,35	829,11	9%	8%	10%	3%	1%
SRAM_384x40c4b2cd1	752	572	1,20	0,94	2295,56	10%	7%	4%	2%	1%
SRAM_384x80c4b2cd1	786	613	2,22	1,73	4128,62	11%	5%	2%	1%	1%
SRAM_416x8c4b2cd1	723	543	0,45	0,36	857,56	9%	8%	9%	3%	2%
SRAM_416x40c4b2cd1	754	573	1,25	0,97	2374,33	11%	7%	4%	2%	1%
SRAM_416x80c4b2cd1	788	614	2,30	1,78	4270,29	11%	5%	2%	1%	1%
SRAM_448x8c4b2cd1	724	544	0,45	0,37	886,01	9%	8%	9%	3%	3%
SRAM_448x40c4b2cd1	755	574	1,27	1,00	2453,10	11%	7%	4%	2%	1%
SRAM_448x80c4b2cd1	789	616	2,35	1,83	4411,96	11%	5%	2%	1%	1%
SRAM_480x8c4b2cd1	726	545	0,46	0,38	915,81	10%	8%	9%	3%	1%
SRAM_480x40c4b2cd1	756	575	1,32	1,02	2535,62	11%	6%	4%	1%	2%
SRAM_512x40c4b2cd1	757	576	1,37	1,05	2614,39	11%	6%	3%	1%	1%
SRAM_512x80c4b2cd1	791	618	2,49	1,92	4702,04	11%	5%	2%	1%	3%

Եզրակացություններ

1. Առաջարկվել են ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման մեթոդների ծրագրային միջոցին ներկայացվող պահանջները, որոնց բավարարմամբ մշակված ծրագրային գործիքն ապահովում է տարբեր ՍԿԸՀ-ների ստեղծման հնարավորությունը՝ առաջարկված մեթոդների և նախագծված սխեմաների կիրառմամբ:
2. Ներկայացված ծրագրային գործիքի համար ստեղծվել են համապատասխան հիշողության թարգմանիչներ, որոնցում օգտագործելով առաջարկված մեթոդները և նոր սխեմաները՝ կատարվել է կիրառման արդյունավետության գնահատումը:
3. Արագագործ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման ծրագրային գործիքով մշակված 43 փորձնական հիշասարքերում, ի հաշիվ հիշասարքերի էներգասպառման մոտ 4-23%-ով մեծացման և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ընդամենը 5-14%-ով աճի, ապահովվում է գրանցման և ընթերցման հապաղումների համապատասխանաբար մոտ 5-20%-ով և 18-32%-ով կրճատում:

ԵԶՐԱՀԱՆԳՈՒՄ

1. Ձևակերպվել են ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման մեթոդներին առաջադրվող պահանջները, որոնց բավարարումը հնարավորություն կտա մշակել արագագործության բարձրացման հնարավորությամբ և նախագծման երթուղիներին առաջադրվող պահանջները բավարարող արդյունավետ և մրցունակ միջոց:
2. Առաջարկվել է, ստատիկ կամայական ընտրությամբ հիշասարքերի գրանցման և ընթերցման գործողությունների հապաղումների միաժամանակյա նվազարկման նպատակով, սնման դողերի ղեկավարման, արագագործ նախալիցքավորման և ինքնաժամանակաչափ սխեմաների համատեղ կիրառման նոր եղանակ, որը, մակերեսի և էներգասպառման կորստի պարագայում, ապահովում է մեթոդների իրականացման համար անհրաժեշտ լրացուցիչ ղեկավարման տրանզիստորների ավելացումը և գործողությունների համաձայնեցումը:
3. Սնման դողերի ղեկավարման, արագագործ նախալիցքավորման և ինքնաժամանակաչափ սխեմաների համատեղ կիրառման համար, ՍԿԸՀ-ի հիմնական պարամետրերի հիման վրա ստեղծվել է, սնման դողերի ղեկավարման տրանզիստորների չափերի և քանակի ընտրության մեթոդ, որը, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի թույլատրելի ~14%, ընդհանուր էներգասպառման գրանցման բաղադրիչի ~17%, ընթերցման բաղադրիչի ~23% կորստի պարագայում, ապահովում է գրանցման գործողության հապաղման ~19% և ընթերցման գործողության հապաղման ~32% նվազեցում:
4. Մշակվել են համաձայնեցման հատուկ սխեմաների կառուցվածքներ, որոնք, հապաղման բլոկների քանակների կրճատման հաշվին, ավանդական մոտեցման համեմատ, նվազեցում են կիսահաղորդչային բյուրեղի վրա զբաղեցվող մակերեսի օգտագործումը 10%-ով:

5. Կառուցվել է նոր ճարտարապետությամբ ՍԿԸՀ-ի սխեմա, որն ապահովում է բարձր արդյունավետություն՝ ըստ արագագործության, և թույլ է տալիս ղեկավարել բջիջների սնուցումները գործողությունների ընթացքում:
6. 16 նմանոց տեխնոլոգիական գործընթացի համար առաջարկված մեթոդների համատեղ կիրառմամբ ստեղծվել է ստատիկ կամայական ընտրությամբ հիշասարքի նոր սխեմա, որն իր պարամետրերով մոտ 32%-ով գերազանցում է համապատասխան նմանակներին:
7. Մշակված մեթոդները և նոր սխեմաները արդյունավետ են, քանի որ հիշասարքերի 43 տարբեր նախագծերի դեպքում առաջարկված մոտեցման շնորհիվ՝ ստացվել է գրանցման գործողության հապաղման մոտ 5-20%-ով և ընթերցման գործողության հապաղման մոտ 18-32%-ով կրճատում՝ հիմնական էներգասպառման պարամետրերի ընդամենը 4-23%-ով և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ընդամենը 5-14%-ով կորուստների պարագայում:

ՕԳՏԱԳՈՐԾՎԱԾ ԳՐԱԿԱՆՈՒԹՅՈՒՆ

1. Zhang K. Embedded Memories for Nano-Scale VLSIs. – Springer, 2009. – 400 p.
2. Yamauchi H. Embedded SRAM Circuit Design Technologies for a 45 nm and Beyond //7th International Conference on ASIC (ASICON). – 2007. – P. 1028-1033.
3. Yamauchi H. Embedded SRAM Trend in Nano-Scale CMOS // IEEE International Workshop on Memory Technology, Design, and Testing (MTDT), Dec., - 2007. – P. 19-22.
4. H, Yamauchi, “Embedded SRAM Design and Trend” IEEE ISSCC 2008, Memory forum “Embedded Memory Design for Nano-scale VLSI system”, 2008
5. Low power circuit techniques for optimizing power in high speed SRAMs / Navneet K. S. et al //2016 International Conference on Advances in Computing, Communications and Informatics (ICACCI). – 2016. – P. 2399-2404.
6. Multiple-cell-upset hardened 6T SRAM using NMOS-centered layout / Yoshimoto S., Nii K., Kawaguchi H., et al //2013 IEEE International Meeting for Future of Electron Devices, Kansai. – 2013. – P. 98-99.
7. Design centering scheme for robust SRAM cell design / Rostami M., Ebrahimi B., et al //2008 International Conference on Computer and Communication Engineering – 2008. – P. 871-877.
8. A Compact-Area Low-VDDmin 6T SRAM With Improvement in Cell Stability, Read Speed, and Write Margin Using a Dual-Split-Control-Assist Scheme / Chang M. et al // IEEE Journal of Solid-State Circuits. -2017, -Vol. 52, No 9. – P. 2498-2514.
9. Nabavi M., Sachdev M. A 290-mV, 3.34-MHz, 6T SRAM With pMOS Access Transistors and Boosted Wordline in 65-nm CMOS Technology // IEEE Journal of Solid-State Circuits – 2018, - Vol. 53, No 2. – P. 656-667.
10. Singh P., Vishvakarma S. K. Ultra-Low Power High Stability 8T SRAM for Application in Object Tracking System // IEEE Journals & Magazines. - 2018, - Vol. 6. – P. 2279-2290.
11. Grace P. S., Sivamangai N. M. Design of 10T SRAM cell for high SNM and low power // 3rd International Conference on Devices, Circuits and Systems (ICDCS), IEEE Conferences. – 2016. - P. 281-285.
12. Liu T., Chen C., Wu J., Milor L. SRAM stability analysis for different cache configurations due to Bias Temperature Instability and Hot Carrier Injection // IEEE 34th International Conference on Computer Design (ICCD), IEEE Conferences. – 2016. – P. 225-232.
13. Dama J., Lines A. GHz Asynchronous SRAM in 65nm // 15th IEEE Symposium on Asynchronous Circuits and Systems, IEEE Conferences. – 2009. – P. 85-94.

14. A 1 Mbit SRAM test structure to analyze local mismatch beyond 5 sigma variation / Fischer T. et al // 2007 IEEE International Conference on Microelectronic Test Structures. – 2007. – P. 63-66.
15. Lien N., Chuang C., Wu W. Method for resolving simultaneous same-row access in Dual-Port 8T SRAM with asynchronous dual-clock operation // IEEE International SOC Conference. – 2013. – P. 105-109.
16. A 28-nm dual-port SRAM macro with active bitline equalizing circuitry against write disturb issue / Ishii Y. et al // Symposium on VLSI Circuits, IEEE Conferences. – 2010. – P. 99-100.
17. Yan C., Joseph R. Enabling Deep Voltage Scaling in Delay Sensitive L1 // 46th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN). - 2016. – P. 192-202.
18. Hamouche L., Allard B. SRAM portless bitcell and current-mode reading // Proceedings of IEEE International Symposium on Circuits and Systems IEEE Conferences. – 2010. – P. 3865-3868.
19. Kou L., Robinson H. Impact of Process Variations on Reliability and Performance of 32-nm 6T SRAM at Near Threshold Voltage // IEEE Computer Society Annual Symposium on VLSI IEEE Conferences. – 2014. – P. 214-219.
20. A trimless, 0.5V–1.0V wide voltage operation, high density SRAM macro utilizing dynamic cell stability monitor and multiple memory cell access / Kushida K. et al // IEEE Asian Solid-State Circuits Conference. – 2011. – P. 161-164.
21. A 64 Mb SRAM in 32 nm High-k Metal-Gate SOI Technology With 0.7 V Operation Enabled by Stability, Write-Ability and Read-Ability Enhancements / Pilo H. et al // IEEE Journal of Solid-State Circuits. IEEE Journals & Magazines. – 2012. - Vol. 47, No 1. – P. 97-106.
22. Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates and Strain Engineering / Kavalieros J. et al // Symposium on VLSI Technology, 2006. Digest of Technical Papers. IEEE Conferences. -2006. – P. 50-51.
23. Chang I. J., Kim J., Park S., Kaushik R. A 32 kb 10T Sub-Threshold SRAM Array With Bit-Interleaving and Differential Read Scheme in 90 nm CMOS // IEEE Journal of Solid-State Circuits. – 2009. – Vol. 44, No 2. – P. 650-658.
24. Ashwin J. S., Praveen J. S., Manoharan N. Optimization of SRAM array Structure for energy efficiency improvement in advanced CMOS technology // Indian Journal of Science and Technology. – 2014. – Vol. 7, No 6. – P. 35-39.
25. Kawasaki H., Basker V. S. Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond // IEEE International Electron Devices Meeting (IEDM). – 2009. – P. 1-4.

26. Measuring error-tolerance in SRAM architecture on hardware accelerated neural network / Kwon S. et al // IEEE International Conference on Consumer Electronics-Asia (ICCE-Asia). – 2016. – P. 1-4.
27. Ramesh A., Park S., Berger R. 90 nm 32x32 bit Tunneling SRAM Memory Array With 0.5 ns Write Access Time, 1 ns Read Access Time and 0.5 V Operation // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2011. -Vol. 58, No 10. – P. 2432-2445.
28. Grossar E., Stucchi M., Maex K., Dehaene W. Statistically aware SRAM memory array design // 7th International Symposium on Quality Electronic Design (ISQED'06). - 2006 – P. 6-30.
29. Architecting large-scale SRAM arrays with monolithic 3D integration / Kong J. // IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED). – 2017. – P. 1-6.
30. Bitline-capacitance-cancelation sensing scheme with 11ns read latency and maximum read throughput of 2.9GB/s in 65nm embedded flash for automotive / Jefremow M. et al // IEEE International Solid-State Circuits Conference. – 2012. – P. 428-430.
31. Mishra A., Acharya D., Patra P. Novel design technique of address Decoder for SRAM // Novel design technique of address Decoder for SRAM: IEEE Conferences. -2014. – P. 1032-1035.
32. Mitigation of sense amplifier degradation using input switching / Kraak D. et al // Design, Automation & Test in Europe Conference & Exhibition (DATE). – 2017. – P. 858-863.
33. Lupo N., Bonizzoni E., Maloberti F. A Cross-Coupled Redundant Sense Amplifier for Radiation Hardened SRAMs // New Generation of CAS (NGCAS). – 2017. – P. 61-64.
34. Khandelwal S., Meena J., Garg L. Boolchandani D. Variability and reliability aware surrogate model for sensing delay analysis of SRAM sense amplifier // 20th International Symposium on VLSI Design and Test (VDATE). – 2016. – P. 1-6.
35. Pathrikar A. Deshpande R. Design of faster & power efficient sense amplifier using VLSI technology // IEEE International Conference on Advances in Electronics, Communication and Computer Technology (ICAECCT). – 2016. – P. 358-361.
36. Gundu A., Mohammad S., Grover A. A New Sense Amplifier Topology with Improved Performance for High Speed SRAM Applications // 2016 29th International Conference on VLSI Design and 2016 15th International Conference on Embedded Systems (VLSID): IEEE Conferences, -2016. – P. 185-190.
37. Jang J., Ghosh S. Design and analysis of novel SRAM PUFs with embedded latch for robustness // Sixteenth International Symposium on Quality Electronic Design: IEEE Conferences, - 2015. – P. 298-302.
38. Меликян В. Ш. Теория моделирования и оптимизации цифровых схем с учетом дестабилизирующих факторов. – Ереван: Изд-во ГИУА “Чартарагет”, 2011. – 348 с.2.

39. Oh T., Jeong H., Park J., Jung S. Pre-Charged Local Bit-Line Sharing SRAM Architecture for Near-Threshold Operation // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2017. – Vol. 64, No 10. – P. 2737-2747.
40. Maroof N., Kong B., Charge sharing write driver and half- V_{mDD} VDD pre-charge 8T SRAM with virtual ground for low-power write and read operation // IET Circuits, Devices & Systems: IET Journals & Magazines. – 2018. – P. 94-98.
41. Sharma P., Hashmi M. A novel design of a Dual Functionality Read-Write driver for SRAM // 29th IEEE International System-on-Chip Conference (SOCC). – 2016. – P. 280-285.
42. Redundancy based interconnect duplication to mitigate soft errors in SRAM-based FPGAs / Naifeng Jing N. et al // IEEE/ACM International Conference on Computer-Aided Design (ICCAD). – 2015. – P. 764-769.
43. BTI analysis of SRAM write driver / Innocent Agbo et al // 10th International Design & Test Symposium (IDT): IEEE Conferences. – 2015. – P 100-105.
44. Write-energy-saving ReRAM-based nonvolatile SRAM with redundant bit-write-aware controller for last-level caches / Chien T. et al // IEEE/ACM International Symposium on Low Power Electronics and Design (ISLPED). – 2017. – P. 1-6.
45. Cheng B., Brown A., Asenov A. Impact of NBTI/PBTI on SRAM Stability Degradation // IEEE Electron Device Letters. – 2011. – Vol. 32, No 6. – P. 740-742.
46. Ming G., Jun Y., Jun X. Low power SRAM design using charge sharing technique // 6th International Conference on ASIC. – 2005. – Vol. 1. – P. 19-23.
47. Hamouche L., Allard B. PORTLESS low power mux architecture with line hard duplication // IEEE International Memory Workshop. – 2010. - P. 1-4.
48. A Single-Ended Disturb-Free 9T Subthreshold SRAM With Cross-Point Data-Aware Write Word-Line Structure, Negative Bit-Line, and Adaptive Read Operation Timing Tracing / Tu M. et al // IEEE Journal of Solid-State Circuits. – 2012. - Vol. 47, No 6. - P. 1469-1482.
49. A 40 nm 512 kb Cross-Point 8 T Pipeline SRAM With Binary Word-Line Boosting Control, Ripple Bit-Line and Adaptive Data-Aware Write-Assist / Lien N. et al // IEEE Transactions on Circuits and Systems I: Regular Papers. – 2014. - Vol. 61, No 12. - P. 3416-3425.
50. SRAM-DRAM hybrid memory with applications to efficient register files in fine-grained multi-threading / Yu W. et al // 38th Annual International Symposium on Computer Architecture (ISCA). – 2011. – P. 247-258.
51. A 0,6V 45 nm Adaptive Dual-rail SRAM Compiler Circuit Design for Lower VDD min VLSIs / Chen Y. et al // IEEE Symposium on VLSI Circuits. – 2008. – P. 210-211.

52. Ghosh S. Energy centric model of SRAM write operation for improved energy and error rates // Proceedings of the IEEE 2013 Custom Integrated Circuits Conference IEEE Conferences. – 2013. – P. 1–4.
53. Iniewski K. CMOS Processors and Memories. - Springer, 2010. – 382 p.
54. Kolhapure A., Kumar A. SRAM in hold-operation: Modeling the interaction of soft-errors and switching power-supply noise // IEEE International Symposium on Circuits and Systems. – 2012. – P. 2473-2476.
55. Yokoyama Y., Ishii Y., Okuda H., Nii K. A dynamic power reduction in synchronous 2RW 8T dual-port SRAM by adjusting wordline pulse timing with same/different row access mode // IEEE Asian Solid-State Circuits Conference (A-SSCC). – 2017. – P. 13-16.
56. High-Dimensional and Multiple-Failure-Region Importance Sampling for SRAM Yield Analysis / Wang M. et al // IEEE Transactions on Very Large Scale Integration (VLSI) systems. – 2017. – Vol. 25, No 3. – P. 806-819.
57. Karl E., Sylvester D., Blaauw D. Timing error correction techniques for voltage-scalable on-chip memories // IEEE International Symposium on Circuits and Systems. – 2005. Vol. 4. – P. 3563-3566.
58. Bubble Razor: An architecture-independent approach to timing-error detection and correction / Fojtik M. et al. // IEEE International Solid-State Circuits Conference. – 2012. – P. 488-490.
59. Antoniadis D., Djomehri I., Jackson K., Miller S. Well-Tempered Bulk-Si NMOSFET Device, MIT. – 2001. <http://www-mtl.mit.edu/researchgroups/Well/>
60. Luo S., Chiou L. A Sub-200-mV Voltage-Scalable SRAM With Tolerance of Access Failure by Self-Activated Bitline Sensing // IEEE Transactions on Circuits and Systems II: Express Briefs: IEEE Journals & Magazines. – 2010. – P. 440-445.
61. SRAM leakage suppression by minimizing standby supply voltage / Qin H. et al //, International Symposium on Signals, Circuits and systems. – 2004. – P. 55–60.
62. Mukhopadhyay S., Mahmoodi H., Roy K. Modeling of failure probability and statistical design of SRAM array for yield enhancement in nanoscaled CMOS // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2005. – Vol. 24, No 12. – P. 1859-1880.
63. An analytical model for predicting forming/switching time in conductive-bridge resistive random-access memory (CBRAM) / Shaoli Lv S. et al // International Conference on Simulation of Semiconductor Processes and Devices (SISPAD). – 2013. – P. 364-367.
64. Liang X, Turgay K., Brooks D. Architectural power models for SRAM and CAM structures based on hybrid analytical/empirical techniques // Proceedings IEEE/ACM international conference on Computer-aided design, ICCAD '07. – 2007. – P. 824-830.

65. Скурихин Д. Н., Коршунов А. В. Разработка метода оценки выхода годных блоков статического озу для повышения быстродействия операции чтения // International Conference on Actual Problems of Electron Devices Engineering (APEDE). – 2016. – Vol. 2. – P. 1-8.
66. 90-nm process-variation adaptive embedded SRAM modules with power-linefloating write technique / Maeda N. et al // IEEE Journal of Solid-State Circuits. – 2006. – P. 705–711.
67. Lange A., Hopsch F. Haase J. Path-Based Statistical Gate-Level Analyses Considering Timing and Energy 2012 // 8th Conference on Ph.D. Research in Microelectronics & Electronics. – 2012. – P. 1-4.
68. A floating-body dynamic supply boosting technique for low-voltage sram in nanoscale PD/SOI CMOS technologies / Joshi R. et al // In Proceedings of the international symposium on Low power electronics and design, ISLPED '07. – 2007. -P. 8–13.
69. Exploration of the Dual Supply Voltage Space of a 65nm PD/SOI CMOS SRAM Cell / Joshi R. et al // In proceeding of the 36th European Solid-State Device Research Conference (ESSDERC). – 2006. – P. 315–318.
70. Mohammad B., Saint-Laurent M., Bassett P., Abraham J. Cache Design for Low Power and High Yield // In Proceedings of the 9th international symposium on Quality Electronic Design, ISQED '08. – 2008. – P. 103–107.
71. Ming G., Jun Y., Jun X. Low power SRAM design using charge sharing technique // In 6th International Conference On Application Specific Integrated Circuits (ASIC). – 2005. – P. 19–23.
72. Raikwal P., Neema V., Verma A. High speed 8T SRAM cell design with improved read stability at 180nm technology // International conference of Electronics, Communication, and Aerospace Technology (ICECA): IEEE Conferences – 2017. – P. 563-568.
73. Impact of increasing the fin height on soft error rate and static noise margin in a FinFET-based SRAM cell / Villacorta H. et al // 16th Latin-American Test Symposium (LATS). – 2015. – P. 1-6.
74. Jiao H., Kursun V. Asymmetrical ground gating for low leakage and data robust sleep mode in memory banks // Proceedings of International Symposium on VLSI Design, Automation and Test IEEE Conferences. – 2011. – P. 1-4.
75. Cmos Digital Integrated Circuits Sung-Mo Kang, Yusuf Leblebici Tata McGraw-Hill, 2003 - Integrated circuits - 655 page, Third Edition,
76. 60% Cycle time acceleration, 55% energy reduction, 32Kbit SRAM by auto-selective boost (ASB) scheme for slow memory cells in random variations / Yamamoto Y. et al // Proceedings of the ESSCIRC (ESSCIRC). – 2012. – P. 317-320.

77. Calhoun B., Chandrakasan A. Static noise margin variation for sub-threshold SRAM in 65-nm CMOS // IEEE Journal of Solid-State Circuits: IEEE Journals & Magazines. – 2006. – P. 1673-1679.
78. Melikyan V., Safaryan K., Avetisyan A., Hakhverdyan T. On-chip decoupling capacitor optimization technique // IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO). – 2017. – P. 116-118.
79. Chang M., Hwang W. A fully-differential subthreshold SRAM cell with auto-compensation // APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems: IEEE Conferences. – 2008. – P. 1771–1774.
80. Naik S., Kuwelkar S. A novel 8T SRAM with minimized power and delay // 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT). – 2017. – P. 1498-1501.
81. An x86-64 core implemented in 32nm SOI CMOS / Jotwani R. et al // IEEE International Solid-State Circuits Conference - (ISSCC). – 2010. – P. 106-107.
82. An 8T-SRAM for Variability Tolerance and Low-Voltage Operation in High-Performance Caches / Leland Chang et al // IEEE Journal of Solid-State Circuits: IEEE Journals & Magazines. – 2008. – P. 956-963.
83. Stable SRAM cell design for the 32 nm node and beyond / Chang L. et al // Digest of Technical Papers, Symposium on VLSI Technology. – 2005. – P. 128-129.
84. Ավետիսյան Ա. Վ. Ընթերցման և գրանցման արագագործ ու թյան բարձրացման մեթոդ պսևդո երկմատուլյց 6S ստատիկ կամայական ընտրող լայնք հիշասարքի համար // ՀԱՊՀ Լրաբեր գիտական հոդվածների ժողովածու 1. -2018. -Էջ 215-220:
85. Process-voltage-temperature Variation Detection and Cancellation Using On-Chip Phase-Locked Loop / V,Sh, Melikyan, A,A, Durgaryan, A,H, Balabanyan, E,H, Babayan et al, // Proceedings of the 56th Electronics, Telecommunications, Computers, Automatic Control and Nuclear Engineering (ETRAN) Conference,– Zlatibor, Serbia, 2012, – P, EL1,2–1-4,
86. Melikyan V.Sh., Safaryan K.H., Avetisyan A.V., CUT OFF CIRCUIT FOR DUAL RAIL SRAM PERIPHERY, WITH IMPROVED DYNAMIC POWER // Journal of the RA NAS and NPUA. Series of Technical Sciences. – 2017. – Vol LXX, No 4. -P. 459-466.:
87. Process-voltage-temperature Variation Detection and Cancellation Using On-Chip Phase-Locked Loop / V.Sh. Melikyan, A.A. Durgaryan, A.H. Balabanyan, E.H. Babayan et al. // Proceedings of the 56th Electronics, Telecommunications, Computers, Automatic Control and Nuclear Engineering (ETRAN) Conference.– Zlatibor, Serbia, 2012. – P. EL1.2–1-4.

88. Maroof N., Kong B. 10T SRAM Using Half- VDD Precharge and Row-Wise Dynamically Powered Read Port for Low Switching Power and Ultralow RBL Leakage // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – 2017. – Vol. 25, No 4. – P. 1193-1203.
89. Avetisyan A. V. High Speed Pre-Charge Circuit // 11th International Conference Semiconductor Micro- and Nanoelectronics, (ICSMN-2017). – 2017. – P. 188-191.
90. Li J., Tseng C., McCluskey E. Testing for resistive opens and stuck opens // Proceedings International Test Conference 2001 (Cat, No,01CH37260). – 2001. – P. 1049-1058.
91. Resistive-open defect influence in SRAM pre-charge circuits: analysis and characterization / Dilillo L. et al // European Test Symposium (ETS'05). – 2005. – P. 116-121.
92. Qazi M., Sinangil M., Chandrakasan A. Challenges and Directions for Low-Voltage SRAM // IEEE Design & Test of Computers: IEEE Journals & Magazines. – 2011. – Vol. 28, No 1. – P. 32-43.
93. Characterization of dynamic SRAM stability in 45 nm CMOS. / Oon T. et al. // Solid-State Circuits: IEEE Journal. – 2011. – 46.11. – P. 2702-2712.
94. A black box method for stability analysis of arbitrary SRAM cell structures / Michael Wieckowski et al // Proceedings of the Conference on Design, Automation and Test in Europe, March, 2010. European Design and Automation Association. – 2010. – P. 795-800.
95. Sinangil Mahmut E., Hugh Mair, and Chandrakasan. Anantha P. A 28nm high-density 6T SRAM with optimized peripheral-assist circuits for operation down to 0,6 V // Solid-State Circuits Conference Digest of Technical Papers (ISSCC): IEEE International. – 2011. – P. 260-262.
96. Singh P., Chandel R., Sharma N. Stability analysis of SRAM cell using CNT and GNR field effect transistors // Tenth International Conference on Contemporary Computing (IC3). – 2017. – P. 1-6.
97. Babayan D.; Babayan E., Avetisyan A. A new Approach of Multi Voltage and Adaptive Voltage Scaling Techniques for 16 nm FinFET RISC Processor // IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO). – 2017. – P. 128-131.
98. Christiansen Tom, Larry Wall, and Jon Orwant. Programming Perl: Unmatched power for text processing and scripting. – O'Reilly Media, Inc., 2012. – 1184p.
99. Mark Lutz. Learning Python, 5th Edition – O'Reilly Media, Inc., 2013. – 1600p.
100. Parker S. Shell Scripting: Expert Recipes for Linux, Bash and more. – John Wiley & Sons, Inc., 2011. – 540 p.
101. Analysis of a noise canceling LNA using a Si2 OpenAccess based tool — CADIT João P. Alarcão; Luis B. Oliveira; João P. Oliveira; Rui Santos-Tavares 2015 22nd International Conference Mixed Design of Integrated Circuits & Systems (MIXDES) - 2015 - P. 464 - 469 IEEE Conferences
102. Hahn, Mark. OpenAccess: Standard and Practices // Design & Test of Computers. – 2012. – P. 44-52.

103. Morse, R. Interoperable Design Constraints for Custom IC Design // Design & Test of Computers, 2012. – P. 53-61
104. HSPICE. Reference Manual. – Synopsys, 2013.
105. HSPICE. Simulation and Analysis User Guide. – Synopsys, 2013.
106. Hakhverdyan T, Melikyan V., Safaryan K., Avetisyan A. On-chip decoupling capacitor for finfet technology // 11th International Conference Semiconductor Micro- and Nanoelectronics (ICSMN-2017). – 2017. – P. 179-183.
107. Hybrid stacked memory architecture for energy efficient embedded chip-multiprocessors based on compiler directed approach / Onori S. et al // Sixth International Green and Sustainable Computing Conference (IGSC). – 2015. – P. 1-7.
108. Goldman R., Bartleson K., Wood T., Melikyan V., Babayan E. Synopsys Educational Generic Memory Compiler // 10th European Workshop on Microelectronics Education (EWME). – 2014. – P. 89-92.
109. Physical Compiler and PrimeTime. – Springer, 2001. – 360p.
110. Melikyan V., Avetisyan A., Babayan D., Safaryan K., Hakhverdyan T. Write-Back Technique for Single-Ended // IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO). – 2017. – P. 112-115.

ՀԱՎԵԼՎԱԾ 1. ՆԵՐԴՐՄԱՆ ԱԿՏ

SYNOPSIS®

№ 266/18

"22" 03 2018



Հաստատում եմ՝

«ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ

Գլխավոր տնօրեն՝

Շ. Մուսայեյան

Արամ Վահանի Ավետիսյանի «Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման միջոցների մշակում» թեմայով թեկնածուական ատենախոսության արդյունքների

ՆԵՐԴՐՄԱՆ ԱԿՏ

ԵՊՀ «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ 3-րդ կուրսի ասպիրանտ Ա. Վ. Ավետիսյանի կողմից մշակված արագագործ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման Memory Timing Compiler ծրագրային միջոցը ներդրված է «ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում: Այն նախատեսված է արագագործ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման, հիշասարքերում առկա խնդիրների հայտնաբերման և գնահատման համար: Մշակված Memory Timing Compiler ծրագրային միջոցի կիրառումը զգալիորեն պարզեցրել է նման համակարգերի մշակման և նախագծման գործընթացը: Ծրագրային միջոցը ինտեգրալ սխեմաներում ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման գործընթացի կարևոր մաս է և բավարարում է ժամանակակից էլեկտրոնային նախագծման բնագավառում կիրառվող ծրագրային գործիքային միջոցին ներկայացվող բոլոր պահանջներին:

Հիշողության թարգմանիչների նախագծման

բաժնի ՀՄ II կարգի վերահսկող՝

S. Գևորգյան

"ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ" ՓԲԸ
0026, ԳՂ, ԵՐԵՎԱՆ, ԱՐՇԱԿՈՒՆՅԱՏ 41
ԳեՆ. (+374 10) 49 21 00, ՖԱՔՍ (+374 10) 49 26 96
ԴԿԴՂ 02236362

"SYNOPSIS ARMENIA" CJSC
41 ARSHAKUNYATS AVE., YEREVAN, ARMENIA, 0026
TEL.: (+374 10) 49 21 00, FAX: (+374 10) 49 26 96
TAX PAYER'S ID 02236362

SYNOPSIS®

ՀԱՎԵԼՎԱԾ 2. «MTC» ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ C++ ԿՈՂԻ ՈՐՈՇ ՀԱՏՎԱԾԸ

```
#include "mainwindow.h"
#include "ui_mainwindow.h"
#include "../untitled3/third.h"
MainWindow::MainWindow(QWidget *parent) :
    QMainWindow(parent),
    ui(new Ui::MainWindow)
{
    ui->setupUi(this);
}
MainWindow::~MainWindow()
{
    delete ui;
}
void MainWindow::on_pushButton_5_clicked()
{
}
#include "mainwindow.h"
#include <QApplication>
int main(int argc, char *argv[])
{
    QApplication a(argc, argv);
    MainWindow w;
    w.show();
    return a.exec();
}
#ifndef MAINWINDOW_H
#define MAINWINDOW_H
#include <QMainWindow>
namespace Ui { class MainWindow;}
class MainWindow : public QMainWindow {
    Q_OBJECT
public:
    explicit MainWindow(QWidget *parent = 0);
    ~MainWindow();
private slots:
```

```

    void on_pushButton_5_clicked();
private:
    Ui::MainWindow *ui; };
#endif // MAINWINDOW_H
#include "second.h"
#include "ui_second.h"
second::second(QWidget *parent) :
    QMainWindow(parent),
    ui(new Ui::second) { ui->setupUi(this); }
second::~second() { delete ui; }
#ifndef SECOND_H
#define SECOND_H
#include <QMainWindow>
namespace Ui { class second; }
class second : public QMainWindow { Q_OBJECT
public:
    explicit second(QWidget *parent = 0);
    ~second();
private:
    Ui::second *ui; };
#endif // SECOND_H
#include "second.h"
#include <QApplication>
int main(int argc, char *argv[]) {
    QApplication a(argc, argv);
    second w;
    w.show();
    return a.exec(); }
#include "third.h"

```

```

#include <QApplication>

int main(int argc, char *argv[]) {
    QApplication a(argc, argv);
    third w;
    w.show();
    return a.exec(); }

#include "third.h"
#include "ui_third.h"
#include <QtGui>
#include <qtimer.h>
#include <iostream>

third::third(QWidget *parent) :
    QMainWindow(parent),
    ui(new Ui::third) {
    ui->setupUi(this);
    this->ui->progressBar->setValue(68);
    this->ui->progressBar->setMaximum(100); }

third::~third() { delete ui; }

#ifndef THIRD_H
#define THIRD_H
#include <QMainWindow>
namespace Ui { class third; }
class third : public QMainWindow { Q_OBJECT
public:
    explicit third(QWidget *parent = 0);
    ~third();
private:
    Ui::third *ui; };
#endif // THIRD_H

```

```
SOURCES += \  
    main.cpp \  
    third.cpp  
HEADERS += \  
    third.h  
FORMS += \  
    third.ui
```

ՀԱՎԵԼՎԱԾ 3. «MTC» ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ Perl ԿՈՂԻ ՈՐՈՇ ՀԱՏՎԱԾԸ

```
package runtime;  
use base 'Exporter';  
use logging;  
use File::Path qw(mkpath rmtree);  
our @EXPORT = qw(runJob ECHO Build GDS LVS DRC GETOPT OPT hash RM);  
our $GDS_DIR = "$WORK_DIR/GDS_results";  
our $GDS2LIB_DIR = "$WORK_DIR/GDS2LIB_results";  
our $LVS_DIR = "$WORK_DIR/LVS_results";  
our $DRC_H_DIR = "$WORK_DIR/DRC_results";  
our $LVS_H_DIR = "$WORK_DIR/LVS_results";  
our $DRC_DIR = "$WORK_DIR/DRC_results";  
our $CD_DIR = "$WORK_DIR/output";  
our $LOG_DIR = "$WORK_DIR/logs";  
our $TOOL_VERSION="$WORK_DIR/TOOL_VERSION";  
our $TOOL_CHECK_DIR="$WORK_DIR/TOOL_VERSION_DIR";  
our $OA_DIR = "$WORK_DIR/oa_library";  
our $LEF_DIR = "$WORK_DIR/lef_results";  
our $DC_DIR = "$WORK_DIR/dc_results";  
our $STR_DIR_ICV = "$WORK_DIR_ICV/Star_Results_icv";
```



```

our $STR_DIR_HERCULES = "$WORK_DIR_HERCULES/Star_Results_hercules";
my $icv_drc_runset; my $icv_lvs_runset; my $hercules_drc_runset; my
$hercules_lvs_runset; my $gds_map_file; my $pdk_lib_defs; my $ref_lib; my $ref_lib_path;
my $tech_lib; my $pdk_lib; our $gds_path; my $plugin; my $star_icv; my $star_hercules;
my $star_map; my $grd_file; my %cfg; my $instance_name; my $logger; my $main_system;
my $sys_options;
sub isDirEmpty {
    my $path = shift();
    my $empty = 1;
    opendir DIR, $path or die "$path: $!\n";
    while ( my $item = readdir(DIR) ) {
        next if ( $item eq "." or $item eq ".." );
        $empty = 0;
        last; }
    closedir(DIR);
    return $empty; }
sub runJob {
    my ( $cmd, $argument, $opt ) = @_;
    my $work_dir = $_[3] || $WORK_DIR;
    while ( ( $key, $value ) = each %option ) {
        $opt .= " $key $value "; }
    %optionss = %{$opt};
    my @options = %optionss;
    $logger->separator('-');
    $logger->mlog( "Starting job \"cd $work_dir;$cmd $argument @options\"",
$logging::INFO);
    $logger->separator('#');
    $logger->print("### Output from $cmd \n");
    $l = system("cd $work_dir;$cmd $argument @options");

```

```

$logger->print("## End output from $cmd \n");
$logger->separator('#');
if ( $? == -1 ) {
    $logger->mclog(
        sprintf( "Failed to execute $cmd: $!",
            $logging::FATAL );
    return 1;
} elseif ( $? & 127 ) {
    $logger->mclog(
        sprintf( "Child died with signal %d, %s coredump",
            ( $? & 127 ), ( $? & 128 ) ? 'with' : 'without'),
            $logging::FATAL );
    return 1;
} else {
    if ( ( $? >> 8 ) != 0 ) {
        $logger->mclog(
            sprintf( "Child exited with value %d", $? >> 8),
            $logging::FATAL );
    } else {
        $logger->mclog(
            "Job $cmd finished successfully" ,
            $logging::INFO );
    }
    return ( $? >> 8 );
}
sub pwd { return $WORK_DIR; }
sub init {
    my $workdir;
    ( $workdir, $logger, $instance_name, $tech, $plugin, $sys_options ) = @_;
    $logger->mclog( "Initializing runtime", 0 );
    $icv_drc_runset = $tech->getValue('icv_drc_runset');
}

```

```

$icv_lvs_runset = $tech->getValue('icv_lvs_runset');
$hercules_lvs_runset = $tech->getValue('hercules_lvs_runset');
$hercules_drc_runset = $tech->getValue('hercules_drc_runset');
$gds_map_file = $tech->getValue('gds_map_file');
$pkg_lib_defs = $tech->getValue('pkg_lib_defs');
$pkg_lib = $tech->getValue('pkg_lib_name');
$gds_path = $plugin->getValue('gds_path');
$star_icv = $tech->getValue('starrc_cmd_icv');
$star_hercules = $tech->getValue('starrc_cmd_hercules');
$star_map = $tech->getValue('starrc_map');
$grd_file = $tech->getValue('tcad_grd_file');
$tech_lib = 'temp' ;
if ( -e $workdir ) {
    if ( -d $workdir ) {
        if ( !isDirEmpty($workdir) ) {}
        if ( !-w $workdir ) {
            $logger->mlog( "Working direcorey \"$workdir\" is not writeable",
$logging::FATAL);
            return 0;        }
        } else {
            #not a directory
            $logger->mlog( "Working direcorey \"$workdir\" is not a directory",
$logging::FATAL );
            return 0;        }
        } else {
            $logger->mlog( "Working direcorey does not exist, creating: $workdir",
$logging::INFO);    }
            my @dirs_to_create;

```

```

push @dirs_to_create , ( $WORK_DIR, $GDS_DIR, $DC_DIR, $OA_DIR, $CD_DIR,
$LOG_DIR, $LEF_DIR, $TOOL_CHECK_DIR,$TOOL_VERSION);

push @dirs_to_create , ($LVS_H_DIR,$DRC_H_DIR);

push @dirs_to_create , ($TOOL_CHECK_DIR,$TOOL_VERSION);

push @dirs_to_create , ($LVS_DIR, $DRC_DIR);

push @dirs_to_create , ($STR_DIR_ICV,$STR_DIR_HERCULES);

foreach my $d ( @dirs_to_create) {
    if ( !-e $d ) { mkdir $d } }

if( $sys_options->getValue("import_gds") ){
    $ref_lib = "sram_reference";
    $ref_lib_path="$OA_DIR/$ref_lib";
} else{
    $ref_lib_path=$plugin->getValue('ref_lib_path');
    $ref_lib = $plugin->getValue('ref_lib');; }

return 1; }

sub writeCode {
    my ($code_ref) = @_ ;
    my %code = %{ $code_ref };

    open ALL, ">$CD_DIR/all.tcl" or $logger->dieOnFileWrite("$CD_DIR/all.tcl", $!);
    print ALL "
    set my_lib_name $tech_lib
    set ref_lib $ref_lib
    set mylib [dm::createLib $tech_lib -path ./$tech_lib]
    db::attachTech \ $mylib -refLibName \ $ref_lib
    set mycell [dm::createCell $instance_name -lib \ $mylib]
    set mylayout [dm::createCellView layout -cell \ $mycell -viewType maskLayout]
    set context [de::open \ $mylayout "];
    for my $snippet (keys %code){
        print ALL $code{$snippet}; }
}

```

```

print ALL "
le::createBoundary \StopBbox -design \$SoaDesign -type pr -force on
de::save \$SoaDesign
de::close \$context
de::close [de::getContexts]
le::generateAbstract -srcLibName \$tech_lib -srcCellName \$instance_name \
\ -srcViewName layout -destLibName \$tech_lib -destCellName \
\$instance_name -destViewName abstract \
exit -force true ";
close ALL;
open ALL, ">${CD_DIR}/all_old.tcl" or $logger-
>dieOnFileWrite("${CD_DIR}/all_old.tcl", $!);
for my $snippet (keys %code){
    open (F, ">${CD_DIR}/$snippet.tcl") or $logger-
>dieOnFileWrite("${CD_DIR}/$snippet.tcl", $!);
    print F $code{$snippet};
    print ALL "source ${CD_DIR}/$snippet.tcl\n";}
close ALL; }
sub Build {
    if ( -e "$WORK_DIR/$tech_lib" ) {
        if ( -d "$WORK_DIR/$tech_lib" ) {
            $logger->mcllog( "Deleting OA lib \"$WORK_DIR/$tech_lib\"", 1 );
            rmtree "$WORK_DIR/$tech_lib", { verbose => 0 };
        } }
    open( LIB, ">${WORK_DIR}/lib.defs" )
        or die "ERROR: could not open \"$WORK_DIR/lib.defs\":$!";
    print LIB "INCLUDE $pdk_lib_defs\n";
    print LIB "DEFINE $ref_lib $ref_lib_path\n";
    close LIB;

```

```

my $cmd    = "cdesigner";
my $argument = " ";
my %option = ( '-command' => " \"source $CD_DIR/all.tcl\"" );
return runJob( $cmd, $argument, \%option ); }

sub Build2 {
  if ( -e "$OA_DIR/$tech_lib" ) {
    if ( -d "$OA_DIR/$tech_lib" ) {
      $logger->mlog( "Deleting OA lib \"$OA_DIR/$tech_lib\"", 1 );
      rmtree "$OA_DIR/$tech_lib", { verbose => 0 };
    } }
  open( LIB, ">$OA_DIR/lib.defs" )
    or die "ERROR: could not open \"$OA_DIR/lib.defs\":$!";
  print LIB "INCLUDE $pdk_lib_defs\n";
  print LIB "DEFINE $ref_lib $ref_lib_path\n";
  close LIB;
  my $cmd    = "cdesigner";
  my $argument = " ";
  my %option = ( '-command' => " \"source $CD_DIR/all.tcl\"" );
  return runJob( $cmd, $argument, \%option, $OA_DIR ); }
  return runJob( $cmd, $argument, \%option, $GDS_DIR ); }
  open SOUT, ">>$STR_DIR_HERCULES/$cmd_file" ;
  print SOUT "

```

BLOCK: \$instance_name

GDS_FILE: \$WORK_DIR/\$instance_name.gds

NETLIST_FILE: \$WORK_DIR/\$instance_name_\$extraction.spf

GDS_LAYER_MAP_FILE: \$star_map

TCAD_GRD_FILE: \$grd_file

MILKYWAY_DATABASE: \$LVS_DIR/XTROUT

EXTRACTION: \$extraction ";

```

close SOUT;

my $cmd = "StarXtract";
my $argument = "$cmd_file";
my %option = ( );
return runJob( $cmd, $argument, \%option, $STR_DIR_HERCULES ); }

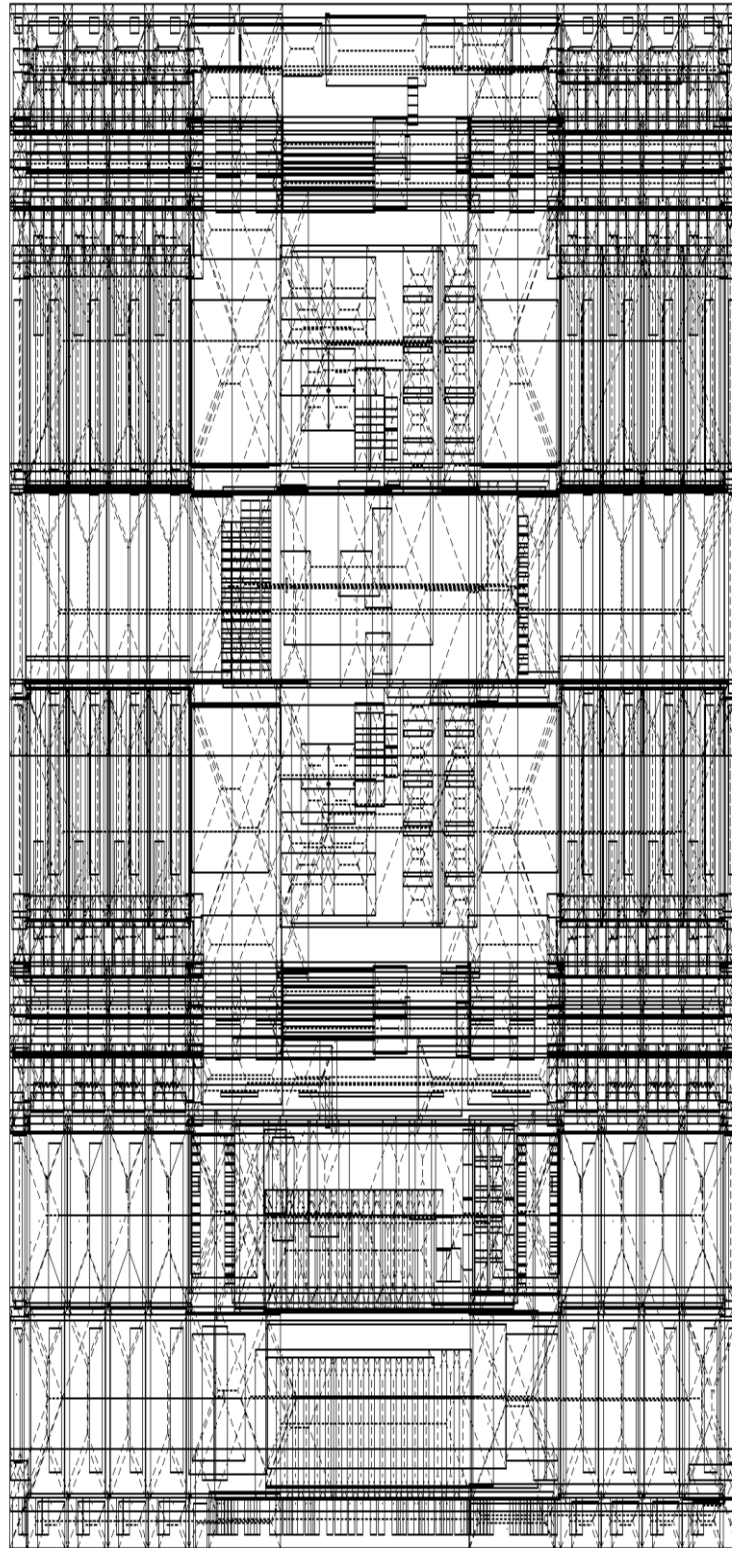
sub star_hercules{
    my $extraction = $_[0] || "RC";
    open S, "$star_hercules" or $logger->dieOnFileWrite("$star_hercules", $!);
    my @star_list=<S>;
    my $cmd_file = "star_$extraction.cmd";
    open SIN,">$STR_DIR_ICV/$cmd_file" or $logger-
>dieOnFileWrite("$STR_DIR/$cmd_file", $!);
    print SIN "@star_list";
    close SIN;
    open SI,"$STR_DIR_ICV/$cmd_file" or $logger->dieOnFileWrite("$STR_DIR/$cmd_file",
$!);

    sub toolexistingcheck{
        my $cmp1 = "NONE";
        my $cmp2 = "NONE";
        my $cmp3 = "NONE";
        my $icv=0;
        my $cdesigner=0;
        my $hercules=0;
        $icv=getToolVersion("icv");
        $cdesigner=getToolVersion("cdesigner");
        $hercules=getToolVersion("hercules");

```

ՀԱՎԵԼՎԱԾ 4. ՄՇԱԿՎԱԾ ԱՐԱԳԱԳՈՐԾ 64 ԲԱՌԻ և 8 ԲԻԹԻ
ԳԾԵՐ ՊԱՐՈՒՆԱԿՈՂ ՀԻՇԱՍԱՐՔԻ ՆԱԽԱԳԻԾԸ

Ֆիզիկական նախագիծը



HSPICE նկարագրություն

```
.SUBCKT 64x8cd1cm4bk2_sacs1_rt aysd aysd_dly badb[3] badb[2] badb[1] badb[0] bksb
lcgth lcgthbuf qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3] rb[2] rb[1] rb[0]
rt[3] rt[2] rt[1] rt[0] saet saprch selb[3] selb[2] selb[1] selb[0] vdda vddai[3] vddai[2]
vddai[1] vddai[0] vddp vddpi vss wbi[3] wbi[2] wbi[1] wbi[0] wb[3] wb[2] wb[1] wb[0] wti[3]
wti[2] wti[1] wti[0] wt[3] wt[2] wt[1] wt[0] rassist[1] rassist[0] saed saeb saprb
Xsac_t_0 badb[0] bksb_buf qbb[0] qtb[0] rassistt[1] rassistt[0] rb[0] rt[0] saeb saed saprb
selb[0] vddai[0] vddp vddpi vss wbi[0] wb[0] wti[0] wt[0] lcgthbuf 64x8cd1cm4bk2_sac_t
Xsac_t_1 badb[1] bksb_buf qbb[1] qtb[1] rassistt[1] rassistt[0] rb[1] rt[1] saeb saed saprb
selb[1] vddai[1] vddp vddpi vss wbi[1] wb[1] wti[1] wt[1] lcgthbuf 64x8cd1cm4bk2_sac_t
Xsac_t_2 badb[2] bksb_buf qbb[2] qtb[2] rassistt[1] rassistt[0] rb[2] rt[2] saeb saed saprb
selb[2] vddai[2] vddp vddpi vss wbi[2] wb[2] wti[2] wt[2] lcgthbuf 64x8cd1cm4bk2_sac_t
Xsac_t_3 badb[3] bksb_buf qbb[3] qtb[3] rassistt[1] rassistt[0] rb[3] rt[3] saeb saed saprb
selb[3] vddai[3] vddp vddpi vss wbi[3] wb[3] wti[3] wt[3] lcgthbuf 64x8cd1cm4bk2_sac_t
XSACBUF vdda vddp vddpi vss bksb_buf lcgthbuf rassistt[0] rassistt[1] saeb saprb aysd
aysd_dly saed bksb lcgth rassist[0] rassist[1] saet saprch hd1p_sacbuf
```

.ENDS

```
.SUBCKT 64x8cd1cm4bk2_sacs1_lt aysd aysd_dly badb[3] badb[2] badb[1] badb[0] bksb
bksb_buf lcgth lcgthbuf qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3] rb[2]
rb[1] rb[0] rt[3] rt[2] rt[1] rt[0] saet saprch selb[3] selb[2] selb[1] selb[0] vdda vddai[3]
vddai[2] vddai[1] vddai[0] vddp vddpi vss wbi[3] wbi[2] wbi[1] wbi[0] wb[3] wb[2] wb[1] wb[0]
wti[3] wti[2] wti[1] wti[0] wt[3] wt[2] wt[1] wt[0] rassist[1] rassist[0] saed saeb saprb
Xsac_t_0 badb[0] bksb_buf qbb[0] qtb[0] rassistt[1] rassistt[0] rb[0] rt[0] saeb saed saprb
selb[0] vddai[0] vddp vddpi vss wbi[0] wb[0] wti[0] wt[0] lcgthbuf 64x8cd1cm4bk2_sac_t
Xsac_t_1 badb[1] bksb_buf qbb[1] qtb[1] rassistt[1] rassistt[0] rb[1] rt[1] saeb saed saprb
selb[1] vddai[1] vddp vddpi vss wbi[1] wb[1] wti[1] wt[1] lcgthbuf 64x8cd1cm4bk2_sac_t
Xsac_t_2 badb[2] bksb_buf qbb[2] qtb[2] rassistt[1] rassistt[0] rb[2] rt[2] saeb saed saprb
selb[2] vddai[2] vddp vddpi vss wbi[2] wb[2] wti[2] wt[2] lcgthbuf 64x8cd1cm4bk2_sac_t
```

Xsac_t_3 badb[3] bksb_buf qbb[3] qtb[3] rassistt[1] rassistt[0] rb[3] rt[3] saeb saed saprb
selb[3] vddai[3] vddp vddpi vss wbi[3] wb[3] wti[3] wt[3] lcgthbuf 64x8cd1cm4bk2_sac_t
XSACBUF vdda vddp vddpi vss bksb_buf lcgthbuf rassistt[0] rassistt[1] saeb saprb arysd
arysd_dly saed bksb lcgth rassist[0] rassist[1] saet saprch hd1p_sacbuf

.ENDS

.SUBCKT 64x8cd1cm4bk2_sac_lt arysd arysd_dly badb[3] badb[2] badb[1] badb[0] bksb
lcgth_cen lcgthbuf log0 log1 qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3]
rb[2] rb[1] rb[0] rt[3] rt[2] rt[1] rt[0] saed saet saprch selb[3] selb[2] selb[1] selb[0] vdda
vddai[3] vddai[2] vddai[1] vddai[0] vddp vddpi vss wb[3] wb[2] wb[1] wb[0] wbi[3] wbi[2]
wbi[1] wbi[0] wt[3] wt[2] wt[1] wt[0] wti[3] wti[2] wti[1] wti[0] saeb[1] rassist[1] rassist[0]
Xsac_l_seg_1 arysd arysd_dly badb[3] badb[2] badb[1] badb[0] bksb bksb_buf lcgth_cen
lcgthbuf qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3] rb[2] rb[1] rb[0] rt[3]
rt[2] rt[1] rt[0] saet saprch selb[3] selb[2] selb[1] selb[0] vdda vddai[3] vddai[2] vddai[1]
vddai[0] vddp vddpi vss wbi[3] wbi[2] wbi[1] wbi[0] wb[3] wb[2] wb[1] wb[0] wti[3] wti[2]
wti[1] wti[0] wt[3] wt[2] wt[1] wt[0] rassist[1] rassist[0] saed saeb[1] saprb[1]
64x8cd1cm4bk2_sacs1_lt

.ENDS

.SUBCKT 64x8cd1cm4bk2_sac_rt arysd arysd_dly badb[3] badb[2] badb[1] badb[0] bksb
lcgth_cen lcgthbuf log0 log1 qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3]
rb[2] rb[1] rb[0] rt[3] rt[2] rt[1] rt[0] saed saet saprch selb[3] selb[2] selb[1] selb[0] vdda
vddai[3] vddai[2] vddai[1] vddai[0] vddp vddpi vss wb[3] wb[2] wb[1] wb[0] wbi[3] wbi[2]
wbi[1] wbi[0] wt[3] wt[2] wt[1] wt[0] wti[3] wti[2] wti[1] wti[0] saeb[1] rassist[1] rassist[0]
Xsac_r_seg_1 arysd arysd_dly badb[3] badb[2] badb[1] badb[0] bksb lcgth_cen lcgthbuf
qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3] rb[2] rb[1] rb[0] rt[3] rt[2] rt[1]
rt[0] saet saprch selb[3] selb[2] selb[1] selb[0] vdda vddai[3] vddai[2] vddai[1] vddai[0] vddp
vddpi vss wbi[3] wbi[2] wbi[1] wbi[0] wb[3] wb[2] wb[1] wb[0] wti[3] wti[2] wti[1] wti[0] wt[3]
wt[2] wt[1] wt[0] rassist[1] rassist[0] saed saeb[1] saprb[1] 64x8cd1cm4bk2_sacs1_rt

.ENDS

.SUBCKT 64x8cd1cm4bk2_sac_cnt bbkb bksb def float float_ret floatt ft1 ft2 lbkadr[2]
lbkadr[1] lbkadr[0] lcgth lcgth_prch liteslp llbkadrb[2] llbkadrb[1] llbkadrb[0] llbkadrt[2]
llbkadrt[1] llbkadrt[0] lme log0 log1 lweib lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2]
lxadr[1] lxadr[0] lyadr[1] lyadr[0] plbkadr0 plbkadr1 plbkadr2 plbkadrb pmb[3] pmb[2]
pmb[1] pmb[0] prcke_b prcke_t prclkb rbl rblwa rmt[3] rmt[2] rmt[1] rmt[0] rwlb saed saet
sapr sdbuf t1b tbkb test_rnmb vdda vddp vddpi vss wabuf[1] wabuf[0] waprcclkbufb_ret wbl
wmt[3] wmt[2] wmt[1] wmt[0] wpbuf[1] wpbuf[0]

X_sactrl_1 vdda vddp vddpi vss bbkb bksa bksb lcgth lcgth_prch llbkadrb[0] llbkadrb[1]
llbkadrb[2] llbkadrt[0] llbkadrt[1] llbkadrt[2] lmatch pmb[0] pmb[1] pmb[2] pmb[3] prcke_b
prcke_t prclkb rwlb saet sapr tbkb def float log1 float_ret ft1 ft2 prog_lmatch1 prog_lmatch2
lme log0 log1 rbl rblwa rmt[0] rmt[1] rmt[2] rmt[3] sdbuf wabuf[0] wabuf[1]
waprcclkbufb_ret wbl wmt[0] wmt[1] wmt[2] wmt[3] wpbuf[0] wpbuf[1] log0 log0 log0 floatt
lbkadr[0] lbkadr[1] lbkadr[2] liteslp log1 log1 log1 log0 lweib lxadr[0] lxadr[1] lxadr[2]
lxadr[3] lxadr[4] lxadr[5] lxadr[6] lxadr[7] lyadr[0] lyadr[1] plbkadr0 plbkadr1 plbkadr2
plbkadrb saed t1b test_rnmb hd1p_sactrl

.ENDS

.SUBCKT 64x8cd1cm4bk2_sac_tier bbkb llbkadrb[2] llbkadrb[1] llbkadrb[0] llbkadrt[2]
llbkadrt[1] llbkadrt[0] lwerd lwewr pmb[3] pmb[2] pmb[1] pmb[0] prcke_b prcke_t prclkb
tbkb arysdh arysdl arysdh_dly arysdl_dly badb[7] badb[6] badb[5] badb[4] badb[3]
badb[2] badb[1] badb[0] def float_ret float ft1 ft2 lcgthbufh[1] lcgthbufl[1] lcgth_prch lme
log0 log1 wabuf[1] wabuf[0] waprcclkbufb_ret wbl pwdoh pwdol qbb[7] qbb[6] qbb[5] qbb[4]
qbb[3] qbb[2] qbb[1] qbb[0] qtb[7] qtb[6] qtb[5] qtb[4] qtb[3] qtb[2] qtb[1] qtb[0] rbl rblwa
rb[7] rb[6] rb[5] rb[4] rb[3] rb[2] rb[1] rb[0] rt[7] rt[6] rt[5] rt[4] rt[3] rt[2] rt[1] rt[0] rwlb
sdbuf selb[7] selb[6] selb[5] selb[4] selb[3] selb[2] selb[1] selb[0] vdda vddaih[7] vddaih[6]
vddaih[5] vddaih[4] vddaih[3] vddaih[2] vddaih[1] vddaih[0] vddail[7] vddail[6] vddail[5]
vddail[4] vddail[3] vddail[2] vddail[1] vddail[0] vddp vddpi vedgeh vedgel vss wbi[7] wbi[6]
wbi[5] wbi[4] wbi[3] wbi[2] wbi[1] wbi[0] wb[7] wb[6] wb[5] wb[4] wb[3] wb[2] wb[1] wb[0]
wmt[3] wmt[2] wmt[1] wmt[0] wpbuf[1] wpbuf[0] wti[7] wti[6] wti[5] wti[4] wti[3] wti[2] wti[1]
wti[0] wt[7] wt[6] wt[5] wt[4] wt[3] wt[2] wt[1] wt[0] floatt lbkadr[2] lbkadr[1] lbkadr[0] liteslp

lweib lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1] lyadr[0]
plbkadr0 plbkadr1 plbkadr2 plbkadrb rassisth[1] rassisth[0] rassistl[1] rassistl[0] rmt[3]
rmt[2] rmt[1] rmt[0] t1b test_rnmb

Xsac_end_lt1 vddp vddpi vss saedl log0 log1 pwdol vedgel saebl hd1p_capsac

Xsac_lt1 aysdl aysdl_dly badb[3] badb[2] badb[1] badb[0] bksb lcgth lcgthbuf[1] log0 log1
qbb[3] qbb[2] qbb[1] qbb[0] qtb[3] qtb[2] qtb[1] qtb[0] rb[3] rb[2] rb[1] rb[0] rt[3] rt[2] rt[1]
rt[0] saedl saet sapr selb[3] selb[2] selb[1] selb[0] vdda vddail[3] vddail[2] vddail[1] vddail[0]
vddp vddpi vss wb[3] wb[2] wb[1] wb[0] wbi[3] wbi[2] wbi[1] wbi[0] wt[3] wt[2] wt[1] wt[0]
wti[3] wti[2] wti[1] wti[0] saebl rassistl[1] rassistl[0] 64x8cd1cm4bk2_sac_lt

Xsac_cnt1 bbkb bksb def float float_ret floatt ft1 ft2 lbkadr[2] lbkadr[1] lbkadr[0] lcgth
lcgth_prch liteslp llbkadrb[2] llbkadrb[1] llbkadrb[0] llbkadrt[2] llbkadrt[1] llbkadrt[0] lme
log0 log1 lweib lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1]
lyadr[0] plbkadr0 plbkadr1 plbkadr2 plbkadrb pmb[3] pmb[2] pmb[1] pmb[0] prcke_b
prcke_t prclkb rbl rblwa rmt[3] rmt[2] rmt[1] rmt[0] rwb saedh saet sapr sdbuf t1b tbkb
test_rnmb vdda vddp vddpi vss wabuf[1] wabuf[0] waprcclkbufb_ret wbl wmt[3] wmt[2]
wmt[1] wmt[0] wpbuf[1] wpbuf[0] 64x8cd1cm4bk2_sac_cnt

Xsac_rt1 aysdh aysdh_dly badb[7] badb[6] badb[5] badb[4] bksb lcgth lcgthbufh[1] log0
log1 qbb[7] qbb[6] qbb[5] qbb[4] qtb[7] qtb[6] qtb[5] qtb[4] rb[7] rb[6] rb[5] rb[4] rt[7]
rt[6] rt[5] rt[4] saedh saet sapr selb[7] selb[6] selb[5] selb[4] vdda vddaih[7] vddaih[6]
vddaih[5] vddaih[4] vddp vddpi vss wb[7] wb[6] wb[5] wb[4] wbi[7] wbi[6] wbi[5] wbi[4] wt[7]
wt[6] wt[5] wt[4] wti[7] wti[6] wti[5] wti[4] saebh rassisth[1] rassisth[0]
64x8cd1cm4bk2_sac_rt

Xsac_end_rt1 vddp vddpi vss saedh log0 log1 pwdoh vedgeh saebh hd1p_capsac

.ENDS

.SUBCKT 64x8cd1cm4bk2_gio_t cb ct din dclkt dib ldftybuf ldib log0 log1 lqb lwib q qb[0]
qt[0] se_db se_dt selb[0] vddp vddpi vss wb[0] wt[0]

X_gio_1 vddp vddpi vss cb ct d_al ldib lqb lwib nd_selb[0] nd_wb[0] nd_wt[0] q selb[0]
wb[0] wem_al wt[0] dib log0 log1 qb[0] qt[0] din dclkt d_al log1 nd_selb[0] nd_wb[0]
nd_wt[0] ldftybuf log1 se_db se_dt log0 wem_al hd1p_giom4x1

.ENDS

.SUBCKT 64x8cd1cm4bk2_gio_tier rmt[3] rmt[2] rmt[1] rmt[0] wmt[3] wmt[2] wmt[1]
wmt[0] wpbuf[1] wpbuf[0] cb[7] cb[6] cb[5] cb[4] cb[3] cb[2] cb[1] cb[0] clk_b_latch ct[7]
ct[6] ct[5] ct[4] ct[3] ct[2] ct[1] ct[0] def ft1 ft2 lbkadr[2] lbkadr[1] lbkadr[0] lclkb lclkbio lclkt
ldib[7] ldib[6] ldib[5] ldib[4] ldib[3] ldib[2] ldib[1] ldib[0] liteslp lme lme_sac lqb[7] lqb[6]
lqb[5] lqb[4] lqb[3] lqb[2] lqb[1] lqb[0] lweib lwe lwib[7] lwib[6] lwib[5] lwib[4] lwib[3] lwib[2]
lwib[1] lwib[0] lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[3]
lyadr[2] lyadr[1] lyadr[0] mclkb mclkt q[7] q[6] q[5] q[4] q[3] q[2] q[1] q[0] rassisth[1]
rassisth[0] rassistl[1] rassistl[0] rwlckb sdbuf selb[7] selb[6] selb[5] selb[4] selb[3] selb[2]
selb[1] selb[0] t1b test_rnmb wabuf[1] wabuf[0] wb[7] wb[6] wb[5] wb[4] wb[3] wb[2] wb[1]
wb[0] wt[7] wt[6] wt[5] wt[4] wt[3] wt[2] wt[1] wt[0] dclkt_h dclkt_l dib[7] dib[6] dib[5] dib[4]
dib[3] dib[2] dib[1] dib[0] float floatt gse_dbh gse_dbl gse_dth gse_dtl ldftybufh ldftybufl
log0 log1 me pwdoh pwdol qb[7] qb[6] qb[5] qb[4] qb[3] qb[2] qb[1] qb[0] qt[7] qt[6] qt[5]
qt[4] qt[3] qt[2] qt[1] qt[0] vddp vddpi vedgeh vedgel vss bkadr[2] bkadr[1] bkadr[0] clk
din[7] din[6] din[5] din[4] din[3] din[2] din[1] din[0] float_ret ldftx ls rm[2] rm[1] rm[0] test1
test_rnm we xadr[7] xadr[6] xadr[5] xadr[4] xadr[3] xadr[2] xadr[1] xadr[0] yadr[3] yadr[2]
yadr[1] yadr[0]

Xgio_end_lt1 vddp vddpi vss log0 log1 pwdol vedgel hd1p_capgio

Xgio_lt1 cb[3] cb[2] cb[1] cb[0] ct[3] ct[2] ct[1] ct[0] ldib[3] ldib[2] ldib[1] ldib[0] lqb[3] lqb[2]
lqb[1] lqb[0] lwib[3] lwib[2] lwib[1] lwib[0] q[3] q[2] q[1] q[0] rassistl[1] rassistl[0] selb[3]
selb[2] selb[1] selb[0] wb[3] wb[2] wb[1] wb[0] wt[3] wt[2] wt[1] wt[0] dclkt_l dib[3] dib[2]
dib[1] dib[0] gse_dbl gse_dtl ldftybufl log0 log1 qb[3] qb[2] qb[1] qb[0] qt[3] qt[2] qt[1] qt[0]
vddp vddpi vss din[3] din[2] din[1] din[0] lclkbio log0 log0 rab[1] rab[0]
64x8cd1cm4bk2_gio_lt

Xgio_cnt1 bkadr[2] bkadr[1] bkadr[0] clk def float float_ret floatt ft1 ft2 lbkadr[2] lbkadr[1]
lbkadr[0] lclkb lclkbio lclkt ldftx liteslp lme lme_sac log0 log1 ls lwe lweib lxadr[7] lxadr[6]
lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[3] lyadr[2] lyadr[1] lyadr[0] mclkb
mclkt me meb_it rab[1] rab[0] rm[2] rm[1] rm[0] rmt[3] rmt[2] rmt[1] rmt[0] rwlckb sdbuf
t1b test1 test_rnm test_rnmb vddp vddpi vss wabuf[1] wabuf[0] we web_it wmt[3] wmt[2]

wmt[1] wmt[0] wdbuf[1] wdbuf[0] xadr[7] xadr[6] xadr[5] xadr[4] xadr[3] xadr[2] xadr[1]
xadr[0] yadr[3] yadr[2] yadr[1] yadr[0] clk_b_latch 64x8cd1cm4bk2_gio_cnt
Xgio_rt1 cb[7] cb[6] cb[5] cb[4] ct[7] ct[6] ct[5] ct[4] ldib[7] ldib[6] ldib[5] ldib[4] lqb[7]
lqb[6] lqb[5] lqb[4] lwib[7] lwib[6] lwib[5] lwib[4] q[7] q[6] q[5] q[4] rassisth[1] rassisth[0]
selb[7] selb[6] selb[5] selb[4] wb[7] wb[6] wb[5] wb[4] wt[7] wt[6] wt[5] wt[4] dclkt_h dib[7]
dib[6] dib[5] dib[4] gse_dbh gse_dth ldftybufh log0 log1 qb[7] qb[6] qb[5] qb[4] qt[7] qt[6]
qt[5] qt[4] vddp vddpi vss din[7] din[6] din[5] din[4] lclkbio log0 log0 rab[1] rab[0]
64x8cd1cm4bk2_gio_rt
Xgio_end_rt1 vddp vddpi vss log0 log1 pwdoh vedgeh hd1p_capgio
.ENDS
.SUBCKT 64x8cd1cm4bk2_top_lay q[7] q[6] q[5] q[4] q[3] q[2] q[1] q[0] so_d_la so_d_ha
so_cntra vdda vddp vddpi vnwa vnwp vss adra[5] adra[4] adra[3] adra[2] adra[1] adra[0]
d[7] d[6] d[5] d[4] d[3] d[2] d[1] d[0] wea mea clk test1 rm[2] rm[1] rm[0] si_d_la si_d_ha
se_in si_cntra dftmask scbypass ls test_rnm
Xsac_tier_1 bk[1] llbkadrb_sac_bk2_[2] llbkadrb_sac_bk2_[1] llbkadrb_sac_bk2_[0]
llbkadrt_sac_bk2_[2] llbkadrt_sac_bk2_[1] llbkadrt_sac_bk2_[0] lwerd[1] lwewr[1]
pm_bk1_[3] pm_bk1_[2] pm_bk1_[1] pm_bk1_[0] prcke_t_bk1_ prcke_t_bk2_ float_ret bk[2]
log0 log0 log0 log0 log1 log1 log1 log1 log1 log1 log1 log1 def float_ret float ft1 ft2
lngthh_bk1_[1] lngthh_bk1_[1] lngth_prch_bk1_[1] lme_sac log0 log1 bias_b[1] bias_b[0] log0
wbl[2] pwdoh[1] pwdol[1] qbb[7] qbb[6] qbb[5] qbb[4] qbb[3] qbb[2] qbb[1] qbb[0] qtb[7]
qtb[6] qtb[5] qtb[4] qtb[3] qtb[2] qtb[1] qtb[0] rbl[2] rblwa[2] rb_bk1_[7] rb_bk1_[6]
rb_bk1_[5] rb_bk1_[4] rb_bk1_[3] rb_bk1_[2] rb_bk1_[1] rb_bk1_[0] rt_bk1_[7] rt_bk1_[6]
rt_bk1_[5] rt_bk1_[4] rt_bk1_[3] rt_bk1_[2] rt_bk1_[1] rt_bk1_[0] rwl_bk1_ log1 selb[7]
selb[6] selb[5] selb[4] selb[3] selb[2] selb[1] selb[0] vdda vdda vdda vdda vdda vdda vdda
vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vddp vddpi vedgeh vedgel vss
wbi_bk1_[7] wbi_bk1_[6] wbi_bk1_[5] wbi_bk1_[4] wbi_bk1_[3] wbi_bk1_[2] wbi_bk1_[1]
wbi_bk1_[0] wb[7] wb[6] wb[5] wb[4] wb[3] wb[2] wb[1] wb[0] wmt[3] wmt[2] wmt[1] wmt[0]
wpulse_b[1] wpulse_b[0] wti_bk1_[7] wti_bk1_[6] wti_bk1_[5] wti_bk1_[4] wti_bk1_[3]
wti_bk1_[2] wti_bk1_[1] wti_bk1_[0] wt[7] wt[6] wt[5] wt[4] wt[3] wt[2] wt[1] wt[0] floatt log1

pm_bk1_[0] prcke_t_bk1_ rassistbh_bk1_[1] rassistbh_bk1_[0] rassistbl_bk1_[1]
rassistbl_bk1_[0] rassisth[1] rassisth[0] rassistl[1] rassistl[0] rmt[3] rmt[2] rmt[1] rmt[0] t1b
test_rnmb 64x8cd1cm4bk2_mux_tier
Xmux_tier_2 pbb_bk2_[7] pbb_bk2_[6] pbb_bk2_[5] pbb_bk2_[4] pbb_bk2_[3] pbb_bk2_[2]
pbb_bk2_[1] pbb_bk2_[0] pcb_bk2_[7] pcb_bk2_[6] pcb_bk2_[5] pcb_bk2_[4] pcb_bk2_[3]
pcb_bk2_[2] pcb_bk2_[1] pcb_bk2_[0] wclk_bk2_[3] wclk_bk2_[2] wclk_bk2_[1]
wclk_bk2_[0] log0 log0 log0 log0 log1 log1 log1 log1 log1 log1 log1 log1 bb_bk2_[31]
bb_bk2_[30] bb_bk2_[29] bb_bk2_[28] bb_bk2_[27] bb_bk2_[26] bb_bk2_[25] bb_bk2_[24]
bb_bk2_[23] bb_bk2_[22] bb_bk2_[21] bb_bk2_[20] bb_bk2_[19] bb_bk2_[18] bb_bk2_[17]
bb_bk2_[16] bb_bk2_[15] bb_bk2_[14] bb_bk2_[13] bb_bk2_[12] bb_bk2_[11] bb_bk2_[10]
bb_bk2_[9] bb_bk2_[8] bb_bk2_[7] bb_bk2_[6] bb_bk2_[5] bb_bk2_[4] bb_bk2_[3]
bb_bk2_[2] bb_bk2_[1] bb_bk2_[0] bt_bk2_[31] bt_bk2_[30] bt_bk2_[29] bt_bk2_[28]
bt_bk2_[27] bt_bk2_[26] bt_bk2_[25] bt_bk2_[24] bt_bk2_[23] bt_bk2_[22] bt_bk2_[21]
bt_bk2_[20] bt_bk2_[19] bt_bk2_[18] bt_bk2_[17] bt_bk2_[16] bt_bk2_[15] bt_bk2_[14]
bt_bk2_[13] bt_bk2_[12] bt_bk2_[11] bt_bk2_[10] bt_bk2_[9] bt_bk2_[8] bt_bk2_[7]
bt_bk2_[6] bt_bk2_[5] bt_bk2_[4] bt_bk2_[3] bt_bk2_[2] bt_bk2_[1] bt_bk2_[0] def float_ret
float floatt ft1 ft2 lcgthh_bk1_[1] lcgthh_bk1_[1] lcgth_prch_bk1_[1] liteslp lme_sac log0 log1
lweib lwerd[1] lwewr[1] vss vss vss vss vss vss vss vss vss vss vss vss vss vss vss rbl[2]
rblwa[2] bias_b[1] bias_b[0] rb_bk1_[7] rb_bk1_[6] rb_bk1_[5] rb_bk1_[4] rb_bk1_[3]
rb_bk1_[2] rb_bk1_[1] rb_bk1_[0] rt_bk1_[7] rt_bk1_[6] rt_bk1_[5] rt_bk1_[4] rt_bk1_[3]
rt_bk1_[2] rt_bk1_[1] rt_bk1_[0] rwlb_bk1_ log1 selb[7] selb[6] selb[5] selb[4] selb[3] selb[2]
selb[1] selb[0] vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda
vdda vdda vdda vddapi_bk2_ vddp vddpi vddwlh_bk2_[1] vddwlh_bk2_[1] vedgeh vedgel vss
vsswl_bk2_ wbi_bk1_[7] wbi_bk1_[6] wbi_bk1_[5] wbi_bk1_[4] wbi_bk1_[3] wbi_bk1_[2]
wbi_bk1_[1] wbi_bk1_[0] vss vss vss vss vss vss vss vss wbl[2] wmt[3] wmt[2] wmt[1] wmt[0]
wpulse_b[1] wpulse_b[0] wti_bk1_[7] wti_bk1_[6] wti_bk1_[5] wti_bk1_[4] wti_bk1_[3]
wti_bk1_[2] wti_bk1_[1] wti_bk1_[0] vss vss vss vss vss vss vss vss bk[2] log1 log1 lbkadr[0]
lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1] lyadr[0]
pm_bk1_[3] pm_bk1_[2] pm_bk1_[1] pm_bk1_[0] prcke_t_bk2_ rassistbh_bk2_[1]

rassistbh_bk2_[0] rassistbl_bk2_[1] rassistbl_bk2_[0] rassisth[1] rassisth[0] rassistl[1]
rassistl[0] rmt[3] rmt[2] rmt[1] rmt[0] t1b test_rnmb 64x8cd1cm4bk2_mux_tier
Xary_tier_1 log0 log0 log0 log0 log1 log1 log1 log1 log1 log1 log1 log1 bb_bk1_[31]
bb_bk1_[30] bb_bk1_[29] bb_bk1_[28] bb_bk1_[27] bb_bk1_[26] bb_bk1_[25] bb_bk1_[24]
bb_bk1_[23] bb_bk1_[22] bb_bk1_[21] bb_bk1_[20] bb_bk1_[19] bb_bk1_[18] bb_bk1_[17]
bb_bk1_[16] bb_bk1_[15] bb_bk1_[14] bb_bk1_[13] bb_bk1_[12] bb_bk1_[11] bb_bk1_[10]
bb_bk1_[9] bb_bk1_[8] bb_bk1_[7] bb_bk1_[6] bb_bk1_[5] bb_bk1_[4] bb_bk1_[3]
bb_bk1_[2] bb_bk1_[1] bb_bk1_[0] bt_bk1_[31] bt_bk1_[30] bt_bk1_[29] bt_bk1_[28]
bt_bk1_[27] bt_bk1_[26] bt_bk1_[25] bt_bk1_[24] bt_bk1_[23] bt_bk1_[22] bt_bk1_[21]
bt_bk1_[20] bt_bk1_[19] bt_bk1_[18] bt_bk1_[17] bt_bk1_[16] bt_bk1_[15] bt_bk1_[14]
bt_bk1_[13] bt_bk1_[12] bt_bk1_[11] bt_bk1_[10] bt_bk1_[9] bt_bk1_[8] bt_bk1_[7] bt_bk1_[6]
bt_bk1_[5] bt_bk1_[4] bt_bk1_[3] bt_bk1_[2] bt_bk1_[1] bt_bk1_[0] def float_ret ft1 ft2
lngthh_bk1_[1] lngthh_bk1_[1] lme_sac log0 log1 qbb[7] qbb[6] qbb[5] qbb[4] qbb[3] qbb[2]
qbb[1] qbb[0] qtb[7] qtb[6] qtb[5] qtb[4] qtb[3] qtb[2] qtb[1] qtb[0] rbl[1] rblwa[1] rwb_bk1_
log1 selb[7] selb[6] selb[5] selb[4] selb[3] selb[2] selb[1] selb[0] t1b vdda vdda vdda vdda
vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vddapi_bk1_ vddp
vddpi vddwlh_bk1_[1] vedgeh vedgel vss vsswl_bk1_ wb[7] wb[6] wb[5] wb[4] wb[3] wb[2]
wb[1] wb[0] wclk_bk1_[3] wclk_bk1_[2] wclk_bk1_[1] wclk_bk1_[0] bias_b[1] bias_b[0] wbl[1]
wmt[3] wmt[2] wmt[1] wmt[0] wpulse_b[1] wpulse_b[0] wt[7] wt[6] wt[5] wt[4] wt[3] wt[2]
wt[1] wt[0] float floatt log1 log1 lbkadr[0] liteslp lweib lxadr[7] lxadr[6] lxadr[5] lxadr[4]
lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1] lyadr[0] pbb_bk1_[7] pbb_bk1_[6] pbb_bk1_[5]
pbb_bk1_[4] pbb_bk1_[3] pbb_bk1_[2] pbb_bk1_[1] pbb_bk1_[0] pcb_bk1_[7] pcb_bk1_[6]
pcb_bk1_[5] pcb_bk1_[4] pcb_bk1_[3] pcb_bk1_[2] pcb_bk1_[1] pcb_bk1_[0]
rassistbh_bk1_[1] rassistbh_bk1_[0] rassistbl_bk1_[1] rassistbl_bk1_[0] rassisth[1] rassisth[0]
rassistl[1] rassistl[0] rmt[3] rmt[2] rmt[1] rmt[0] test_rnmb 64x8cd1cm4bk2_ary_tier
Xary_tier_2 log0 log0 log0 log0 log1 log1 log1 log1 log1 log1 log1 log1 bb_bk2_[31]
bb_bk2_[30] bb_bk2_[29] bb_bk2_[28] bb_bk2_[27] bb_bk2_[26] bb_bk2_[25] bb_bk2_[24]
bb_bk2_[23] bb_bk2_[22] bb_bk2_[21] bb_bk2_[20] bb_bk2_[19] bb_bk2_[18] bb_bk2_[17]
bb_bk2_[16] bb_bk2_[15] bb_bk2_[14] bb_bk2_[13] bb_bk2_[12] bb_bk2_[11] bb_bk2_[10]

bb_bk2_[9] bb_bk2_[8] bb_bk2_[7] bb_bk2_[6] bb_bk2_[5] bb_bk2_[4] bb_bk2_[3]
bb_bk2_[2] bb_bk2_[1] bb_bk2_[0] bt_bk2_[31] bt_bk2_[30] bt_bk2_[29] bt_bk2_[28]
bt_bk2_[27] bt_bk2_[26] bt_bk2_[25] bt_bk2_[24] bt_bk2_[23] bt_bk2_[22] bt_bk2_[21]
bt_bk2_[20] bt_bk2_[19] bt_bk2_[18] bt_bk2_[17] bt_bk2_[16] bt_bk2_[15] bt_bk2_[14]
bt_bk2_[13] bt_bk2_[12] bt_bk2_[11] bt_bk2_[10] bt_bk2_[9] bt_bk2_[8] bt_bk2_[7]
bt_bk2_[6] bt_bk2_[5] bt_bk2_[4] bt_bk2_[3] bt_bk2_[2] bt_bk2_[1] bt_bk2_[0] def float_ret
ft1 ft2 lcgthh_bk1_[1] lcgthh_bk1_[1] lme_sac log0 log1 vss vss vss vss vss vss vss vss vss
vss vss vss vss vss vss rbl[2] rblwa[2] rwl_bk1_ log1 vss vss vss vss vss vss vss vss t1b vdda
vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda
vddapi_bk2_ vddp vddpi vddwlh_bk2_[1] vedgeh vedgel vss vsswl_bk2_ vss vss vss vss vss
vss vss vss wclk_bk2_[3] wclk_bk2_[2] wclk_bk2_[1] wclk_bk2_[0] bias_b[1] bias_b[0] wbl[2]
wmt[3] wmt[2] wmt[1] wmt[0] wpulse_b[1] wpulse_b[0] vss vss vss vss vss vss vss vss float
floatt log1 log1 lbkadr[0] liteslp lweib lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2]
lxadr[1] lxadr[0] lyadr[1] lyadr[0] pbb_bk2_[7] pbb_bk2_[6] pbb_bk2_[5] pbb_bk2_[4]
pbb_bk2_[3] pbb_bk2_[2] pbb_bk2_[1] pbb_bk2_[0] pcb_bk2_[7] pcb_bk2_[6] pcb_bk2_[5]
pcb_bk2_[4] pcb_bk2_[3] pcb_bk2_[2] pcb_bk2_[1] pcb_bk2_[0] rassistbh_bk2_[1]
rassistbh_bk2_[0] rassistbl_bk2_[1] rassistbl_bk2_[0] rassisth[1] rassisth[0] rassistl[1]
rassistl[0] rmt[3] rmt[2] rmt[1] rmt[0] test_rnmb 64x8cd1cm4bk2_ary_tier
Xref_tier_1 log0 log0 llbkadrb_rw_bk1_[2] llbkadrb_rw_bk1_[1] llbkadrt_rw_bk1_[2]
llbkadrt_rw_bk1_[1] log0 log0 arysdh_dly_bk1_ arysdl_dly_bk1_ log1 log1 log1 log1 log1 log1
log1 log1 bt_bk1_[31] bt_bk1_[30] bt_bk1_[29] bt_bk1_[28] bt_bk1_[27] bt_bk1_[26]
bt_bk1_[25] bt_bk1_[24] bt_bk1_[23] bt_bk1_[22] bt_bk1_[21] bt_bk1_[20] bt_bk1_[19]
bt_bk1_[18] bt_bk1_[17] bt_bk1_[16] bt_bk1_[15] bt_bk1_[14] bt_bk1_[13] bt_bk1_[12]
bt_bk1_[11] bt_bk1_[10] bt_bk1_[9] bt_bk1_[8] bt_bk1_[7] bt_bk1_[6] bt_bk1_[5] bt_bk1_[4]
bt_bk1_[3] bt_bk1_[2] bt_bk1_[1] bt_bk1_[0] def log1 float_ret ft1 ft2 lcgthh_bk1_[1] lme_sac
log0 log1 lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1]
lyadr[0] qbb[7] qbb[6] qbb[5] qbb[4] qbb[3] qbb[2] qbb[1] qbb[0] qtb[7] qtb[6] qtb[5] qtb[4]
qtb[3] qtb[2] qtb[1] qtb[0] rassisth[1] rassisth[0] rassistl[1] rassistl[0] rbl[1] rblwa[1]
rwl_bk1_ log1 selb[7] selb[6] selb[5] selb[4] selb[3] selb[2] selb[1] selb[0] t1b bias_b[1]

bias_b[0] wbl[1] wpulse_b[1] wpulse_b[0] vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda
vdda vdda vdda vdda vdda vdda vdda vdda vddapi_bk1_ vddp vddpi vddwlh_bk1_[1]
vddwlh_bk1_[1] vedgeh vedgel vss vsswl_bk1_ wb[7] wb[6] wb[5] wb[4] wb[3] wb[2] wb[1]
wb[0] wt[7] wt[6] wt[5] wt[4] wt[3] wt[2] wt[1] wt[0] float floatt log1 log1 lbkadr[0] liteslp
lweib log1 log1 rmt[3] rmt[2] rmt[1] rmt[0] wmt[3] wmt[2] wmt[1] wmt[0] test_rnmb
64x8cd1cm4bk2_ref_wk_tier
Xref_tier_2 log0 log0 llbkadrb_rw_bk2_[2] llbkadrb_rw_bk2_[1] llbkadrt_rw_bk2_[2]
llbkadrt_rw_bk2_[1] log0 log0 arysdh_dly_bk1_ arysdl_dly_bk1_ log1 log1 log1 log1 log1 log1
log1 log1 bt_bk2_[31] bt_bk2_[30] bt_bk2_[29] bt_bk2_[28] bt_bk2_[27] bt_bk2_[26]
bt_bk2_[25] bt_bk2_[24] bt_bk2_[23] bt_bk2_[22] bt_bk2_[21] bt_bk2_[20] bt_bk2_[19]
qt_bk2_[18] bt_bk2_[17] bt_bk2_[16] bt_bk2_[15] bt_bk2_[14] bt_bk2_[13] bt_bk2_[12]
bt_bk2_[11] bt_bk2_[10] bt_bk2_[9] bt_bk2_[8] bt_bk2_[7] bt_bk2_[6] bt_bk2_[5] bt_bk2_[4]
bt_bk2_[3] bt_bk2_[2] bt_bk2_[1] bt_bk2_[0] def log1 float_ret ft1 ft2 lcgthh_bk1_[1] me_sac
log0 log1 lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[1]
lyadr[0] vss
rassisth[1] rassisth[0] rassistl[1] rassistl[0] rbl[2] rblwa[2] rwl_bk1_ log1 vss vss vss vss vss vss vss vss vss vss t1b
bias_b[1] bias_b[0] wbl[2] wpulse_b[1] wpulse_b[0] vdda vdda vdda vdda vdda vdda vdda vdda
vdda vdda vdda vdda vdda vdda vdda vdda vdda vdda vddapi_bk2_ vddp vddpi
vddwlh_bk2_[1] vddwlh_bk2_[1] vedgeh vedgel vss vsswl_bk2_ vss vss vss vss vss vss vss vss
vss vss vss vss vss vss vss vss float floatt log1 log1 lbkadr[0] liteslp lweib log1 log1 rmt[3]
rmt[2] rmt[1] rmt[0] wmt[3] wmt[2] wmt[1] wmt[0] test_rnmb 64x8cd1cm4bk2_ref_tier
Xgio_tier_1 rmt[3] rmt[2] rmt[1] rmt[0] wmt[3] wmt[2] wmt[1] wmt[0] wpulse_b[1]
wpulse_b[0] cb[7] cb[6] cb[5] cb[4] cb[3] cb[2] cb[1] cb[0] clk_b_latch ct[7] ct[6] ct[5] ct[4]
ct[3] ct[2] ct[1] ct[0] def ft1 ft2 lbkadr[2] lbkadr[1] lbkadr[0] lclkb lclkbio lclkt ldib[7] ldib[6]
ldib[5] ldib[4] ldib[3] ldib[2] ldib[1] ldib[0] liteslp lme lme_sac lqb[7] lqb[6] lqb[5] lqb[4]
lqb[3] lqb[2] lqb[1] lqb[0] lweib lwe lwib[7] lwib[6] lwib[5] lwib[4] lwib[3] lwib[2] lwib[1]
lwib[0] lxadr[7] lxadr[6] lxadr[5] lxadr[4] lxadr[3] lxadr[2] lxadr[1] lxadr[0] lyadr[3] lyadr[2]
lyadr[1] lyadr[0] mclkb mclkt q[7] q[6] q[5] q[4] q[3] q[2] q[1] q[0] rassisth[1] rassisth[0]
rassistl[1] rassistl[0] rwlckb log1 selb[7] selb[6] selb[5] selb[4] selb[3] selb[2] selb[1] selb[0]

```

t1b test_rnmb bias_b[1] bias_b[0] wb[7] wb[6] wb[5] wb[4] wb[3] wb[2] wb[1] wb[0] wt[7]
wt[6] wt[5] wt[4] wt[3] wt[2] wt[1] wt[0] dclkt_h dclkt_l dib[7] dib[6] dib[5] dib[4] dib[3]
dib[2] dib[1] dib[0] float floatt gse_dbh gse_dbl gse_dth gse_dtl ldftybuf_or_lwe_h
ldftybuf_or_lwe_l log0 log1 lmei pwdoh[1] pwdol[1] qbb[7] qbb[6] qbb[5] qbb[4] qbb[3]
qbb[2] qbb[1] qbb[0] qtb[7] qtb[6] qtb[5] qtb[4] qtb[3] qtb[2] qtb[1] qtb[0] vddp vddpi
vedgeh vedgel vss lxbkadri[2] lxbkadri[1] lxbkadri[0] clk d[7] d[6] d[5] d[4] d[3] d[2] d[1]
d[0] float_ret ldftx ls rm[2] rm[1] rm[0] test1 test_rnm lwei lxadri[7] lxadri[6] lxadri[5]
lxadri[4] lxadri[3] lxadri[2] lxadri[1] lxadri[0] lyadri[3] lyadri[2] lyadri[1] lyadri[0]
64x8cd1cm4bk2_gio_tier
Xpin_tier_1 si_d_la vddp vddpi vss q[7] q[6] q[5] q[4] q[3] q[2] q[1] q[0] d[7] d[6] d[5] d[4]
d[3] d[2] d[1] d[0] log0 log1 so_d_la si_cntra so_cntra clk dftmask ls mea rm[2] rm[1] rm[0]
scbypass se_in se_in test1 test_rnm wea log0 log0 log0 log0 log0 adra[5] adra[3] adra[2]
log0 log0 adra[4] log0 log0 adra[1] adra[0] si_d_ha so_d_ha 64x8cd1cm4bk2_pin_tier
.ENDS
.SUBCKT 64x8cd1cm4bk2 Q[7] Q[6] Q[5] Q[4] Q[3] Q[2] Q[1] Q[0] SO_D_L SO_D_H
SO_CNTR VDDCE VDDPE VSSE A[5] A[4] A[3] A[2] A[1] A[0] D[7] D[6] D[5] D[4] D[3] D[2]
D[1] D[0] GWEN CEN CLK STOV EMA[2] EMA[1] EMA[0] SI_D_L SI_D_H SE SI_CNTR
DFTRAMBYP SCBYPASS LS RDT
X_top_lay Q[7] Q[6] Q[5] Q[4] Q[3] Q[2] Q[1] Q[0] SO_D_L SO_D_H SO_CNTR VDDCE
VDDPE VDDPE VDDCE VDDPE VSSE A[5] A[4] A[3] A[2] A[1] A[0] D[7] D[6] D[5] D[4] D[3]
D[2] D[1] D[0] GWEN CEN CLK STOV EMA[2] EMA[1] EMA[0] SI_D_L SI_D_H SE SI_CNTR
DFTRAMBYP SCBYPASS LS RDT 64x8cd1cm4bk2_top_lay
.ENDS

```

ՀԱՎԵԼՎԱԾ 5. ՕԳՏԱԳՈՐԾՎԱԾ ՆԿԱՐՆԵՐԻ ՑԱՆԿԸ

Նկ. 1.1. Հիշողության համակարգում ՍԿԸՀ-ի դիրքը.....	11
Նկ. 1.2. 1-Կբ ՍԿԸՀ-ի վրա հիմնված հիշողության բլոկի դիագրամը.....	14
Նկ. 1.3. Վերծանիչի կառուցվածքը	16

Նկ. 1.4. Դիֆերենցիալ զգայուն ուժեղարարի կառուցվածքը.....	17
Նկ. 1.5. Հասցեի տրիգերի կառուցվածքը	17
Նկ. 1.6. Նախալիցքավորման շրթայի կառուցվածքը.....	18
Նկ. 1.7. Տողի ղեկավարիչի ներկայացումը.....	18
Նկ. 1.8. Գրանցման ղեկավարիչի կառուցվածքը.....	19
Նկ. 1.9. Հիշողության գանգվածի կառուցվածքը	21
Նկ. 1.10. ՍԿԸՀ-ի ընթերցման գործողությունը. ա) բջջի կառուցվածքը բ) տվյալների տեսքը.....	22
Նկ. 1.11. ՍԿԸՀ-ի գրանցման գործողությունը ա) բջջի կառուցվածքը, բ) տվյալների տեսքը.....	24
Նկ. 1.12. Գրանցման սխեմային կառուցվածքը.....	25
Նկ. 1.13. ՍԿԸՀ-ի պահպանման գործողության ժամանակ բջջի կառուցվածքը.....	26
Նկ. 1.14. ՍԿԸՀ-ում տվյալների պահպանման տեսքը.....	27
Նկ. 1.15. 6S բջիջում դիմման գործողությունը.....	27
Նկ. 1.16. Ընթերցման խափանում. ընթերցման ժամանակ տվյալի շրջումը	28
Նկ. 1.17. Գրանցման խափանում. բջիջը չի գրանցում մուտքային տվյալը.....	30
Նկ. 1.18. Դիմելու խափանումը	31
Նկ. 1.19. Պահպանման խափանում. սպասման ռեժիմում տվյալների կորուստը.....	32
Նկ. 1.20. Լողացող հզորության գծի սխեմայի կառուցվածքը.....	35
Նկ. 1.21. Հիշողության բջիջում գրանցման պայմանը՝ ա) մինչև տվյալի շրջումը, բ) տվյալի շրջումից հետո	35
Նկ. 1.22. Ղեկավարվող սնման լարումը և բջջի կայունությունը՝ ա) բոլոր բջիջների սնման լարումների ղեկավարումը, բ) ընտրված տողի սնման լարումների ղեկավարումը, գ) ընտրված սյան սնման լարումների ղեկավարումը	36
Նկ. 1.23. Գրանցման գործողության ընթացքում լարման նմանարկման արդյունքները	37
Նկ. 1.24. Շեմային լարման աշխատանքային պատուհանը.....	37
Նկ. 1. 25. Տարբեր բառերի գծերի լարումների դեպքում ներքին հանգույցի լարման և ատատիկ աղմուկի պաշարի կախվածությունները	38

Նկ. 1.26. Միամատույց 8S ՍԿԸՀ-ի կառուցվածքը	39
Նկ. 1.27. 8S ՍԿԸՀ բջջի՝ ա) պահպանման ստատիկ աղմուկի շեմը, բ) ընթերցման ստատիկ աղմուկի շեմը.....	41
Նկ. 1.28. Ավտոմատ ընտրման սխեմայի կառուցվածքը	43
Նկ. 1.29. Ավտոմատ ընտրման սխեմայի գործողության նմանակման արդյունքները ..	44
Նկ. 1. 30. Ավտոմատ ընտրման սխեմայով և առանց դրա՝ կարգային դողերի ընթերցման հապաղման նմանակման արդյունքները	44
Նկ. 2.1. Արագագործ ՍԿԸՀ-ի մշակման համար առաջարկվող ընթացակարգը.....	49
Նկ. 2. 2. Սնման լարման արժեքից արագագործ հիշողության բջջի բիթի խափանման կախվածությունը.....	50
Նկ. 2.3. Երկմատույց 8S ՍԿԸՀ-ի կառուցվածքը	51
Նկ. 2. 4. Մշակված ՍԿԸՀ սխեմաները՝ ա) սովորական 6S, և բ) միամատույց 6S	53
Նկ. 2.5. ՍԴՂ-ներով իրականացված հիշողության զանգվածը.....	56
Նկ. 2.6. ՍԴՂ տրանզիստորով իրականացված ՍԿԸՀ 6S բջջի կառուցվածքը	57
Նկ. 2. 7. Սնման դողերը ղեկավարող տրանզիստորի երկրաչափական չափերից ընթերցման հապաղման կախվածությունը	58
Նկ. 2. 8. Սնման դողերը ղեկավարող տրանզիստորի երկրաչափական չափերից ընթերցման խափանման կախվածությունը	59
Նկ. 2.9. Առաջարկված նախալիցքավորման սխեմայի կառուցվածքը.....	60
Նկ. 2.10. Սովորական նախալիցքավորման սխեմայի կառուցվածքը.....	61
Նկ. 2.11. Թողանցման հնարավորություն ապահովող սխեմայի կառուցվածքը	61
Նկ. 2.12. Արագագործ նախալիցքավորման սխեմայի նմանարկման արդյունքները ...	62
Նկ. 2.13. ԲԴ արատներով ներարկված նախալիցքավորման սխեմայի կառուցվածքը	64
Նկ. 2.14. Հիշասարքում ինքնաժամանակաչափ սխեմայի տեղաբաշխումը	66
Նկ. 2. 15. Հապաղման բլոկի կառուցվածքը.....	66
Նկ. 2. 16. Ինքնաժամանակաչափ ղեկավարման բլոկի կառուցվածքը	67
Նկ. 2.17. Մշակված արագագործ միամատույց ՍԿԸՀ-ի կառուցվածքը	68

Նկ. 2.18. Ներկառուցված լարման մակարդակի փոխակերպիչով տողի կրկնիչի կառուցվածքը.....	71
Նկ. 2.19. Հիշողության բջջի տարբեր սնուցման լարումների դեպքում փոխանջատման «թիթեռնաձև» բնութագրերը	73
Նկ. 2.20. ՍԴՂ տրանզիստորների քանակից ՍԿԸՀ-ի հապաղման, հոսանքի և մակերեսի կախվածությունը	75
Նկ. 3. 1 Արագագործ հիշասարքերի ավտոմատացված մշակման ծրագրային գործիքի կառուցվածքը.....	80
Նկ. 3.2. Սխեմատեխնիկական բաղադրիչի արտածման մոդուլի աշխատանքային ալգորիթմը.....	81
Նկ. 3.3. Կցման մեթոդով բաղադրիչների տեղաբաշխումը	82
Նկ. 3.4. Ելքային թղթապանակի կառուցվածքի օրինակը	85
Նկ. 3.5. Կոնֆիգուրացիոն ֆայլի օրինակը	87
Նկ. 3.6. ԾԳ-ի գրաֆիկական ինտերֆեյսի թարգմանչի ընտրման պատուհանի տեսքը	88
Նկ. 3.7. ԾԳ-ի գրաֆիկական ինտերֆեյսի հիշասարքի պարամետրերի ներմուծման պատուհանի տեսքը	88
Նկ. 3.8. ԾԳ-ի գրաֆիկական ինտերֆեյսի ելքային ֆայլերի ձևաչափերի կառավարման պատուհանի տեսքը	89
Նկ. 3.9. ԾԳ-ի գրաֆիկական ինտերֆեյսի ելքային և մուտքային մատույցների կառավարման պատուհանի տեսքը.....	90
Նկ. 3.10. ԾԳ-ի գրաֆիկական ինտերֆեյսի ՍԿԸՀ-ի կառուցման գործընթացը.....	90
Նկ. 3.11. Տեղաբաշխման ֆայլի ստեղծման ընթացակարգը.....	92
Նկ. 3.12. Տեղաբաշխման ֆայլում փոփոխականների սահմանման օրինակը	93
Նկ. 3.13. Հիշողության զանգվածի մեկ տողի օրինակը.....	94
Նկ. 3.14. Տեղաբաշխման ֆայլի միջոցով ստացվող հիշողության զանգվածի մեկ տողի սխեմատեխնիկական կառուցվածքը	94
Նկ. 3.15. Ֆիզիկական նախագծի կանոնների օրինակը	99

Նկ. 3.16. «PLACE» ֆունկցիայի միջոցով «\$DECODER» բլոկի իրականացումը	100
ՍԻ. 3.17. Օրինակում բերված բլոկների նկարագրությունը	100
Նկ. 3.18. «X» առանցքով բլոկների դասավորվածությունը	101

ՀԱՎԵԼՎԱԾ 6. ՕԳՏԱԳՈՐԾՎԱԾ ԱՂՅՈՒՍԱԿՆԵՐԻ ՑԱՆԿԸ

Աղյուսակ 1.1. 8S ՍԿԸՀ բջջի գործողությունները	40
Աղյուսակ 1.2. 8S ՍԿԸՀ բջջի գրանցման, պահպանման և ընթերցման ՍԱՇ-երի համեմատությունը.....	42
Աղյուսակ 1.3.Գրանցման և ընթերցման հասանելիության հապաղման համեմատությունը.....	42
Աղյուսակ 2. 1 Համապատասխան արատների նմանակման արդյունքները	64
Աղյուսակ 2.2. Արագագործ միամատույց ՍԿԸՀ-ի ելուստները.....	69
Աղյուսակ 2.3. ՍԿԸՀ-ի բոլոր աշխատանքային ռեժիմների դեպքում բաղադրիչ սխեմաների սնուցումների արժեքները	69
Աղյուսակ 2. 4. Նախագծված արագագործ ՍԿԸՀ-ի հապաղումները, ծախսվող հզորությունը և զբաղեցրած մակերեսը.....	74
Աղյուսակ 3. 1. Հիշողության թարգմանչի գրադարանի պարունակությունը	83
Աղյուսակ 3. 2 «LS1p11_SRAM» հիշողության թարգմանչի հիշասարքերի պարամետրերը	103
Աղյուսակ 3. 3 «HS1p11_SRAM_NO_PRCH» հիշողության թարգմանչի հիշասարքերի պարամետրերը.....	105
Աղյուսակ 3. 4 «HS1P11_SRAM» հիշողության թարգմանչի հիշասարքերի պարամետրերը.....	106

ՀԱՎԵԼՎԱԾ 7. ՕԳՏԱԳՈՐԾՎԱԾ ՀԱՊԱՎՈՒՄՆԵՐԻ ՑԱՆԿԸ

1. ԻՍ՝ ինտեգրալ սխեմա
2. ՍԿԸՀ՝ ստատիկ կամայական ընտրությամբ հիշասարք
3. ԴԿԸՀ՝ դինամիկ կամայական ընտրությամբ հիշասարք
4. ԿՄՀ՝ կենտրոնական մշակիչ հանգույցի
5. ՍԱՊ՝ ստատիկ աղմկակայունության պաշար
6. ՀԶ՝ հիշողության զանգված
7. ԶՈՒ՝ զգայուն ուժեղարար
8. ՍՄ՝ սյան մուլտիպլեքսոր
9. ՀՎ՝ հասցեի վերծանիչ
10. ՍՎ՝ սյան վերծանիչ
11. ՀՏ՝ հասցեին տրիգեր
12. ՏՎ՝ տողի վերծանիչ
13. Մ/Ե՝ մուտք/ելք
14. ԸԳԿ՝ ընթերցման գրանցման կառավարող
15. ՆՍ՝ նախալիցքավորման սխեմա
16. ՏՈՒԿ՝ տողի ուժեղացնող կրկնիչ
17. ՍՈՒԿ՝ սյան ուժեղացնող կրկնիչ
18. ԻՀ՝ ինվերսված հապաղում
19. ԿԴ՝ կարգային դող
20. ԻԿԴ՝ ինվերս կարգային դող
21. ՄՏ՝ մուտքային տվյալների
22. ԳԱԱ՝ գրանցման ակտիվացման ազդանշան
23. ԹՓ՝ թողանցման փական
24. ՆՔ՝ ներքև քաշող
25. ՎՔ՝ վերև քաշող
26. ԼՓ՝ լիցքավորման փական
27. ԳԹԱ՝ գրանցման թույլատրման ազդանշան
28. ՏՊԼ՝ տվյալների պահպանման լարում

29. ՄՀԺ՝ մուտքի հասանելիության ժամանակ
30. ԲՀՀ՝ բովանդակային հասցեական հիշողության
31. ԼՀԳ՝ լողացող հզորության գիծ
32. ՀՓԳ՝ հարմարվողական փոփոխության գործընթաց
33. ՊՄՕԿ՝ Պ տիպի մետաղ-օքսիդ կիսահաղոցով
34. ՆՄՕԿ՝ Ն տիպի մետաղ-օքսիդ կիսահաղոցով
35. ՍԱՊ՝ ստատիկ աղմուկի պաշար
36. ՊՍԱՇ՝ պահման ստատիկ աղմուկի շեմ
37. ԸՍԱՇ՝ ընթերցման ստատիկ աղմուկի շեմ
38. ԸՀՀ՝ ընթերցման հասանելիության հապաղում
39. ԳՀՀ՝ գրանցման հասանելիության հապաղում
40. ԱԸՇ՝ ավտոմատ ընտրության շղթա
41. ԲԱ՝ բարձր արտադրողականություն
42. ԲԽ՝ բարձր խտություն
43. ԳԲԳ՝ գրանցման բառի գիծ
44. ԳԿԴ՝ գրանցման կարգային դող
45. ԸԲԳ՝ ընթերցման բառի գիծ
46. ՍԴՂ՝ սնուցման դողերը ղեկավարող
47. ՄՕԿ՝ մետաղ-օքսիդ կիսահաղոցով
48. ԲԴ՝ բաց դիմադրություն
49. ԻԺՍ՝ ինքնաժամանակաչափ սխեմա
50. ԱՆՍ՝ արագագործ նախալիցքավորման սխեմա
51. ՀԲ՝ հիշողության բջիջ
52. ԷՆԱ՝ էլեկտրոնային նախագծման ավտոմատացում
53. ԾԳ՝ ծրագրային գործիք